



特許法人 KOREANA



NEC-5057

大韓民国特許庁 (K R)
登録特許公報 (B 1)

(51) · Int. Cl. ⁶

G02F 1/133

登録番号 10-0315269

登録日 2001年11月8日

出願番号 10-1998-0027759

公開番号 特1999-0013747

出願日 1998年7月10日

公開日 1999年2月25日

優先権主張 97-186375 1997年7月11日 日本(JP)

特許権者 株式会社日立製作所 金井 務
日本国東京都千代田区神田駿河台4-6

発明者 大河原 洋
日本国千葉県茂原市早野3550
中山 貴徳

日本国千葉県茂原市下永吉460
田中 武

日本国千葉県茂原市早野3550
伊藤 光

日本国千葉県茂原市下永吉460
亀井 達生

日本国千葉県茂原市高師266
川村 徹也

日本国千葉県茂原市下永吉460
名取 正高

日本国千葉県茂原市下永吉460
箱田 秀孝

日本国千葉県茂原市下永吉460

代理人 慎 重助、任 玉淳

審査官：高 宗郁

発明の名称 液晶表示装置



【要約】

本発明は、液晶表示装置、特にアクティブ・マトリクス型の液晶表示装置に関するものであり、表示画面が大きい液晶表示装置においてもフリッカの発生を完全に抑制することができる液晶表示装置を提供することを課題としたものであり、その解決手段として、液晶を介して互いに対向される一対の透明基板SUB 1のうち一方の透明基板SUB 1の液晶側の面にx方向に延在しy方向に並設されたゲート信号線GLとy方向に延在しx方向に並設されたドレイン信号線DLとを備えるとともに、これら各信号線に囲まれた領域のそれぞれに、前記ゲート信号線GLからの走査信号によってオンされる薄膜トランジスタTFTと、このオンされた薄膜トランジスタTFTを介して前記ドレイン信号線DLからの映像信号が印加される画素電極とを備えた液晶表示装置において、前記薄膜トランジスタTFTは、MIS型からなり、そのゲート電極(ゲート信号線GL)とソース電極SD1との間の容量が、ゲート信号線GLの入力端子側で小さく終端側で大きく構成されていることを特徴とするものである。

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 특1999-013747
G02F 1/133 (43) 공개일자 1999년 02월 25일

(21) 출원번호 특1998-027759
(22) 출원일자 1998년 07월 10일
(30) 우선권주장 1997-186375 1997년 07월 11일 일본(JP)
(71) 출원인 가부시기가이샤히다찌세이사쿠쇼 카나이쯔도무
일본국 도오교오도 지요다구 칸다스루가다마 4조오메 6번지
(72) 발명자 오오카와라히로시
일본국 치바켄 모바라시 하야노 3550
나카야마타카노리
일본국 치바켄 모바라시 시모나가요시 460
타나카타케시
일본국 치바켄 모바라시 하야노 3550
미토히카루
일본국 치바켄 모바라시 시모나가요시 460
카메이타즈오
일본국 치바켄 모바라시 타카시 266
카와무라데즈야
일본국 치바켄 모바라시 시모나가요시 460
나토리마사타카
일본국 치바켄 모바라시 시모나가요시 460
하코다히데타카
일본국 치바켄 모바라시 시모나가요시 460
(74) 대리인 신중훈, 임옥순

심사청구 : 없음

(54) 액정표시장치

요약

본 발명은 액정표시장치, 특히 액티브 매트릭스형의 액정표시장치에 관한 것으로서, 표시화면이 큰 액정표시장치에서도 플리커의 발생을 완전히 억제할 수 있는 액정표시장치를 제공하는 것을 과제로 한 것이며, 그 해결수단으로서, 액정을 개재해서 서로 대향되는 1쌍의 투명기판SUB1중 한쪽의 투명기판SUB1의 액정쪽의 면에 x방향으로 뻗어있고 y방향으로 병렬된 게이트신호선GL과 y방향으로 뻗어있고 x방향에 병렬된 드레인신호선DL을 구비하는 동시에, 이들 각 신호선에 둘러싸인 영역의 각각에, 상기 게이트신호선GL로부터의 주사신호에 의해서 온되는 박막트랜지스터TFT와, 미온된 박막트랜지스터TFT를 개재해서 상기 드레인신호선DL로부터의 영상신호가 인가되는 화소전극을 구비한 액정장치에 있어서, 상기 박막트랜지스터TFT는 MIS형으로 이루어지고, 그 게이트전극(게이트신호선GL)과 소스전극SD1과의 사이의 용량이, 게이트신호선GL의 입력단자측에서 작고 종단측에서 크게 구성되어 있는 것을 특징으로 한 것이다.

도표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 액정표시장치의 일실시예를 표시한 요부평면도
도 2는 본 발명에 의한 액정표시장치의 일실시예를 표시한 등가회로도
도 3은 본 발명에 의한 액정표시장치의 화소영역의 일실시예를 표시한 평면도

도 4는 도 3의 IV-IV선에 있어서의 단면도
 도 5는 도 3의 V-V선에 있어서의 단면도
 도 6은 도 3의 VI-VI선에 있어서의 단면도
 도 7(a)~도 7(d)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 설명도
 도 8은 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 평면도
 도 9(a) 및 도 9(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 평면도
 도 10(a) 및 도 10(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 평면도
 도 11(a) 및 도 11(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 평면도
 도 12는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 등가회로도
 도 13은 본 발명에 의한 액정표시장치의 화소영역의 다른 실시예를 표시한 평면도
 도 14는 도 13의 VI-VI선에 있어서의 단면도
 도 15는 TFT액티브매트릭스액정표시장치의 단위화소의 등가회로를 표시한 도면
 도 16은 TFT액티브매트릭스액정표시장치의 구동파형도
 도 17은 액정표시패널의 1라인분의 등가회로를 표시한 도면
 도 18(a)는 단자쪽의, 도 18(b)는 중앙부의, 도 18(c)는 종단(終端)쪽의 화소의 박막트랜지스터TFT의 구동파형도
 도 19는 박막트랜지스터기판SUB1의 제조방법을 표시한 공정도
 도 20은 박막트랜지스터기판SUB1의 제조방법을 표시한 공정도
 도 21은 박막트랜지스터기판SUB1의 제조방법을 표시한 공정도
 도 22(a)은 포토리소그래피에 의해 박막트랜지스터기판SUB1에 패턴을 형성하는 방법을 표시한 도면
 도 22(b)는 포토마스크의 패턴의 예를 표시한 도면
 도 23(a)는 포토리소그래피에 의해 박막트랜지스터기판SUB1에 패턴을 형성하는 다른 방법을 표시한 도면
 도 23(b)는 포토마스크의 패턴의 다른 예를 표시한 도면
 도 24는 게이트신호선의 좌우양단부에 주사신호선구동회로부(104)를 설치한, 다른 실시예의, 액정표시장치의 등가회로도
 도 25는 본 발명을 적용한, 가로전계방식의 액티브매트릭스액정표시장치의 단위화소를 표시한 평면도
 도 26은 도 25의 3-3절단선에 있어서의 단면을 표시한 도면
 도 27(a) 및 도 27(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한, 화소의 주요부분의 평면도
 도 28(a) 및 도 28(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한, 화소의 주요부분의 평면도
 도 29(a) 및 도 29(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 화소부의 평면도
 도 30은 도 29의 IV-IV선에 있어서의 단면도
 도 31은 도 29의 V-V선에 있어서의 단면도
 도 32는 도 29의 VI-VI선에 있어서의 단면도
 도 33(a) 및 도 33(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한, 화소의 주요부분의 평면도
 도 34(a) 및 도 34(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한, 화소의 주요부분의 평면도
 도 35(a) 및 도 35(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한, 화소의 주요부분의 평면도
 도 36(a) 및 도 36(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 화소의 평면도
 도 37(a) 및 도 37(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 화소의 평면도
 도 38(a) 및 도 38(b)는 본 발명에 의한 액정표시장치의 다른 실시예를 표시한 화소의 평면도
 도면의 주요부분에 대한 부호의 설명

GL: 게이트신호선

DL: 드레인신호선,

IT01: 화소전극

TFT: 박막트랜지스터

GI: 게이트절연막

AS: 반도체층

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액정표시장치에 관한 것으로서 특히 액티브 매트릭스형의 액정표시장치에 관한 것이다.

이런 종류의 액정표시장치는, 액정을 개재해서 서로 대향 배치되는 1쌍의 투명기판중 한쪽의 투명기판의 액정층의 면에 x방향으로 뻗어있고 y방향으로 병렬된 게이트신호선과 y방향으로 뻗어있고 x방향으로 병렬된 드레인신호선이 구비되고, 이들 각 신호선에 둘러싸인 각 영역을 화소영역으로 하고 있다.

그리고, 화소영역의 각각에는, 상기 게이트신호선으로부터의 주사신호에 의해서 온되는 박막트랜지스터와, 이 온된 박막트랜지스터를 개재해서 상기 드레인신호선으로부터의 영상신호가 인가되는 화소전극이 구비되어 있다.

이와 같은 액정표시장치는 콘트라스트를 양호하게 구성할 수 있고, 특히 컬러액정표시장치에서는 없어서는 안될 기술로 되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 이와 같은 액정표시장치에 있어서, 최근에 있어서의 대형화 및 고정세화(高精細化)의 경향에 따라, 소위 플리커라고 일컫는 화상의 얼룩거림이 무시할 수 없는 문제로서 발생하기에 이르렀다. 특히 표시영역의 대각선의 길이가 34cm(13형)이상의 액정표시장치에서는 무시할 수 없는 문제로 되어 가고 있다.

그래서, 본 발명자들은 플리커가 발생하는 원인을 추구한 결과, 다음의 것을 판명하기에 이르렀다.

먼저, 게이트신호선을 길게 형성하지 않으면 안되기 때문에, 이 신호선의 저항과 용량의 영향에 의해서, 그것에 입력되는 주사신호선이 종단쪽(終端側)에 걸쳐서 파형변형이 발생해버리게 된다.

이 파형변형은, 박막트랜지스터의 게이트오프의 타이밍을 지연시키게 되는 동시에, 게이트오프시의 게이트소스간 용량을 개재해서 급강하하는 전압에 의한 소스전극전위저하성분을 작게해 버린다. 이것은, 게이트신호선의 입력단자쪽에 대해서 종단쪽의 소스전극전위가 높아지는 것을 의미한다.

이 때문에, 화소전극과 액정을 개재해서 대향하는 전극(공통전극)은 표시면내에 균일하게 일정한 전위가 인가되어 있기 때문에, 상기 액정에 인가되는 전압은 게이트신호선의 입력단자쪽과 종단쪽에서 상이한 것으로 되는 것이다.

그리고, 액정의 분극을 회피하기 위하여 액정에 인가되는 전위를 반전시키는 교류화구동이 행하여지고 있기 때문에, 게이트신호선의 입력단자쪽과 종단쪽에서 액정의 인가전압의 대소관계가 교류화구동의 1/2주기마다 반전하게 되고, 휘도변화에 의한 화면의 얼룩거림이 발생하게 된다.

특히 13형의 액정표시장치는 세로 20cm, 가로 27cm의 표시영역을 가지며, 게이트신호선의 길이는 27cm이상으로 되고, 게이트신호선의 입력단자쪽과 종단쪽에서는, 게이트·소스간 용량을 개재해서 급강하전압의 차는, 무시할 수 없을 정도로 커진다.

따라서 게이트신호선의 길이가 27cm이상(13형이상)의 액정표시장치로는, 이제는 공통전극의 전위를 조절하는 것만으로는, 플리커를 완전히 없애는 일이 곤란한 상황으로 되어가고 있다.

또, 포토리소그래피기술을 사용한 선택에칭에 의해서 각 신호선 및 박막트랜지스터를 형성하는 경우, 노광장치의 광학계의 변형 또는 투명기판의 휨등에 의해서, 각 화소영역마다의 박막트랜지스터의 패턴을 완전히 균일화하는 일이 곤란해지고 있다.

이 경우, 상기 패턴의 불균일에 의해서 박막트랜지스터의 게이트·소스간 용량이 균일하지 않게되면, 게이트·오프시의 게이트·소스사이 용량에 의한 소스전극의 저하량이 화면내에서 일정하지 않게 된다.

따라서, 이 경우에 있어서도, 상기한 바와 마찬가지로의 이유로, 휘도변화에 의한 화면의 얼룩거림이 발생하게 된다.

본 발명은, 이와 같은 사정에 의거해서 이루어진 것이며, 그 목적은, 표시화면이 큰 액정표시장치에서도 플리커의 발생을 완전히 억제할 수 있는 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중, 대표적인 것의 개요를 간단히 설명하면, 이하와 같다.

절연기판위에 형성한 게이트신호선과, 상기 게이트신호선에 전기적으로 접속되어 게이트구동전압을 출력하는 구동회로와, 소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2 박막트랜지스터와, 상기 제 1 박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1 화소전극과, 상기 제 2 박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2 화소전극과, 상기 제 1 박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1 영상신호선과, 상기 제 2 박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2 영상신호선을 가지고, 상

기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고, 상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 구동회로회로부터 제 2의 부분에 전기적으로 접속되고, 상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에 채널길이만을 떨어지고, 채널폭만을 대향해서 형성되고, 상기 제 2박막트랜지스터의 채널길이 및 채널폭은 상기 제 1박막트랜지스터의 채널길이 및 채널폭과 실질동등하고, 상기 제 2화소전극과 상기 게이트신호선사이의 정전용량을, 상기 제 1화소전극과 상기 게이트신호선 사이의 정전용량보다도 크게한 것을 특징으로 한 것이다.

이와 같이 구성된 액정표시장치는, 게이트신호선으로의 주사신호의 파형변형에 의한 화소전극의 전위의 포지티브방향으로의 시프트를, 다이브전압의 상기 용량Cgs에 의존하는 화소전극의 전위의 네거티브방향으로의 시프트에 의해 상쇄시킴으로써, 게이트신호선의, 구동회로에 가까운, 입력단자쪽과, 구동회로부터 먼, 종단쪽의 각화소전극에 인가되는 전압을 동등하게 하고 있다.

이 때문에, 휘도변화에 의한 화면의 얼룩거림을 억제할 수 있게 된다.

절연기판위에 형성한 게이트신호선과, 상기 게이트신호선에 전기적으로 접속되어 게이트구동전압을 출력하는 구동회로와, 소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와, 상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과, 상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과, 상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과, 상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고, 상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고, 상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 구동회로회로부터 제 2의 부분에 전기적으로 접속되고, 상기 제 2화소전극과 상기 게이트신호선사이의 정전용량을, 상기 제 1화소전극과 상기 게이트신호선사이의 정전용량보다도 크게하고, 상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에서 채널길이만을 떨어지고, 채널폭만을 대향해서 형성되고, 상기 제 1 및 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽의 전극이 상기 화소전극과 접속되는 부분에 있어서 상기 게이트전극과 중첩되는 부분에서부터 중첩되지 않게 되는 부분사이의 폭을 상기 제 1 및 제 2박막트랜지스터의 채널폭보다도 작게 형성한 것을 특징으로 한 것이다.

이와 같이 구성된 액정표시장치는, 박막트랜지스터의 소스전극의 형성때에 그 편차가 발생하였다고해도, 이 소스전극의 게이트전극에 대한 중첩부의 면적의 변화를 매우 작게할 수 있게 된다.

이 때문에, 게이트전극과 소스전극사이의 용량Cgs의 변화를 매우 작게할 수 있어, 휘도변화에 의한 화면의 얼룩거림을 억제할 수 있게 된다.

절연기판위에 형성한 제 1게이트신호선과,

상기 절연기판위에 상기 제 1게이트신호선에 인접해서 형성한 용량선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 입력하기 위한 단자와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분보다도 상기 단자로부터 제 2의 부분에 전기적으로 접속되고,

상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에서 채널길이만을 떨어지고, 채널폭만을 대향해서 형성되고,

상기 제 2박막트랜지스터의 채널길이 및 채널폭은 상기 제 1박막트랜지스터의 채널길이 및 채널폭과 실질동등하고,

상기 제 1 및 제 2화소전극은, 상기 용량선과 절연막을 개재해서 일부 중첩되고,

상기 제 2화소전극과 상기 용량선이 중첩되는 면적을, 상기 제 1화소전극과 상기 용량선이 중첩되는 면적보다도 작게한 것을 특징으로 한다.

이와 같은 구성된 액정표시장치는, 주사신호의 누설에 의한 화소전극전압의 전위저하성분미, 주사신호의 파형변형에 의해, 게이트신호선의 입력단자쪽과 종단쪽에서 변동하는 것을, 유지용량을 조절함으로써 억제할 수 있다.

이 때문에, 휘도변화에 의한 화면의 얼룩거림을 억제할 수 있게 된다.

절연기판위에 형성한 제 1게이트신호선과,

상기 절연기판위에 상기 제 1게이트신호선에 인접해서 형성한 제 2게이트신호선과,

상기 제 1게이트신호선에 전기적으로 접속되어 게이트구동전압을 출력하는 구동회로와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분보다도 상기 구동회로회로부터 먼 제 2의 부분에 전기적으로 접속되고,

상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에서 채널 길이만큼 떨어져 있고, 채널폭만큼 대향해서 형성되고,

상기 제 2박막트랜지스터의 채널길이 및 채널폭은 상기 제 1박막트랜지스터의 채널길이 및 채널폭과 실질적으로 동일하고,

상기 제 1 및 제 2화소전극은, 상기 제 2게이트신호선과 절연막을 개재해서 일부 중첩되고,

상기 제 2화소전극과 상기 제 2게이트신호선이 중첩되는 면적을, 상기 제 1화소전극과 상기 제 2게이트신호선이 중첩되는 면적보다도 작게한 것을 특징으로 한다.

이와 같은 구성한 액정표시장치는, 주사신호의 누설에 의한 화소전극전압의 전위저하성분미, 주사신호의 파형변형에 의해, 게이트신호선의 입력단자쪽과 종단쪽에서 변동하는 것을, 유지용량을 조절함으로써 억제할 수 있다.

이 때문에, 휘도변화에 의한 화면의 얼룩거림을 억제할 수 있게 된다.

또한, 유지용량의 전극은 인접하는 라인의 게이트신호선과 경유하고 있음으로, 화소의 개구율이 향상된다.

절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 게이트구동전압을 출력하는 구동회로와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 구동회로회로부터 먼 제 2의 부분에 전기적으로 접속되고,

상기 제 2화소전극과 상기 제 2영상신호선사이의 정전용량을, 상기 제 1화소전극과 상기 제 1영상신호선사이의 정전용량보다도 크게한 것을 특징으로 한다.

이와 같은 구성한 액정표시장치는, 주사신호의 누설에 의한 화소전극전압의 전위저하성분미, 주사신호의 파형변형에 의해, 게이트신호선의 입력단자쪽과 종단쪽에서 변동하는 것을, 화소전극과 영상신호선사이의 정전용량(또는 소스·드레인사이용량)을 조절함으로써 억제할 수 있다.

이 때문에, 휘도변화에 의한 화면의 얼룩거림을 억제할 수 있게 된다.

제 1절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 입력하기 위한 단자와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,
 상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,
 상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,
 상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선과,
 상기 제 1절연기판과 중첩해서 형성되는 투명한 제 2절연기판과,
 상기 제 2절연기판의 상기 제 1 및 제 2화소전극과 대향하는 위치에 형성되고, 투명한 공통전극과,
 상기 공통전극과 상기 제 1 및 제 2화소전극사이에 형성되는 액정과,
 상기 제 2절연기판에 형성되고, 상기 제 1 및 제 2화소전극의 주위를 덮는 차광막을 가지고,
 상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,
 상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 단자로부터 제 2의 부분에 전기적으로 접속되고,
 상기 제 2화소전극의 상기 차광막에 의해 덮여지는 부분의 면적을, 상기 제 1화소전극의 상기 차광막에 의해 덮여지는 부분의 면적보다도 작게한 것을 특징으로 한다.

이와 같은 구성한 액정표시장치는, 주사신호의 누설에 의한 화소전극전압의 전위저하성분이, 주사신호의 파형변형에 의해, 게이트신호선의 입력단자쪽과 종단쪽에서 변동하는 것을, 화소용량(액정용량)을 조절함으로써 억제 할 수 있다.

이 때문에, 휘도변화에 의한 화면의 얼룩거림을 억제할 수 있게 된다.

이하, 본 발명에 의한 액정표시장치의 일실시예를 도면을 사용해서 설명한다.

액정표시패널의 등가회로

도 2는, 액정표시패널을 구성하는 투명기판중 한쪽의 투명기판(TFT기판)쪽의 등가회로를 표시한 회로도이다. 동도면은 회로도이나, 실제의 기하학적 배치에 대응해서 그려져 있다.

도 2에 있어서의 TFT기판 TFT-LCD의 액정쪽의 면에는, 그 x방향으로 뻗어있고 y방향으로 병설되는 게이트신호선(주사신호선이라고도 부름.)GL과, 이를 게이트신호선GL에 절연되어 y방향으로 뻗어있고 x방향으로 병설되는 드레인신호선(영상신호선이라고도 부름)DL이 형성되어 있다.

게이트신호선GL과 드레인신호선DL에 의해 둘러싸이는 직사각형상의 영역은 화소영역을 구성하도록 되어 있고, 이들 각 화소영역에는 한쪽의 게이트신호선GL로부터의 주사신호(전압)의 공급에 의해서 운되는 박막트랜지스터TFT와, 이온된 박막트랜지스터TFT를 개재해서 한쪽의 드레인신호선으로부터 공급되는 영상신호(전압)이 인가되는 화소전극ITO1이 구비되어 있다.

이 화소전극ITO1은, 예를 들면 Indium-Tin-Oxide로 이루어진 투명도전층으로 구성되어 있다.

또, 이 화소전극ITO1과 다른쪽의 게이트신호선GL과의 사이에는 부가용량소자Cadd가 구비되고, 박막트랜지스터TFT가 오프되었을때에 화소전극ITO1에 인가된 영상신호를 오래 축적할 수 있도록 구성되어 있다.

또한, 각 화소전극ITO1의 부분에는 R, G, B의 어느 하나의 기호가 부여되어 있으나, 그들은 색의 3원색인 적, 녹, 청을 표시하고, 각각의 화소영역에 있어서 대응하는 색을 담당하도록 되어 있다. 구체적으로는 TFT기판(제 1의 투명기판SUB1)과 대향해서 배치되는 필터기판(제 2의 투명기판SUB2)쪽에 대응하는 색의 필터가 형성되도록 되어 있다.

그리고, 이와 같은 표시패널에는, 외부부착회로서 주사신호선구동회로부(104) 및 영상신호선구동회로부(103)가 접속되도록 되어 있다.

주사신호선구동회로(104)로부터는 각 게이트신호선에 순차 주사신호가 입력되고, 그 타이밍에 맞추어서 영상신호선 구동회로부(103)로부터 각 드레인신호선에 영상신호가 입력되도록 되어 있다.

또, 주사신호선구동회로부(104) 및 영상신호선구동회로부(103)에는 전원부(102) 및 제어부(101)가 접속되고, 이에 의해 각 회로부에는 전원공급이 이루어지는 동시에 신호등을 송신하도록 되어 있다.

또한, 이와 같이 구성된 TFT기판 TFT와 액정을 개재해서 대향배치되는 다른 투명기판(필터기판)의 액정쪽의 면에는, 화소영역의 테두리를 불이도록해서 블랙매트릭스층이 형성되어, 화소영역을 씌우도록하고, 또한 그 주변이 상기 블랙매트릭스층 BM위에 중첩하도록해서 컬러필터가 형성되어 있다.

그리고, 이들 블랙매트릭스층 및 컬러필터까지도 덮어서 형성되는 보호막을 개재해서 투명도전층으로 이루어지는 공통전극이 형성되어 있다.

또, 이 공통전극의 상면에는 액정의 배향을 규제하는 배향막이 형성되어 있다.

화소영역의 구성

도 3은, 도 2의 점선테두리A에 대응하는 화소영역의 구체적인 구성을 표시한 평면도이다.

또한, 도 3의 IV-IV선에 있어서의 단면도를 도 4에, V-V선에 있어서의 단면도를 도 5에, VI-VI선에 있어

서의 단면도를 도 6에 표시하였다.

먼저, 투명기판SUB1의 액정쪽의 면에, 그 x방향으로 뻗어있고 y방향으로 병렬되는 게이트신호선GL이 형성되어 있다.

이 게이트신호선GL은, 예를 들면 알루미늄으로 이루어진 도전층gl의 표면에 알루미늄산화막AOF(양극화소에 의해서 형성)가 형성된 재료로 구성되어 있다.

그리고, 이 게이트신호선GL과 후술하는 드레인신호선DL에 의해 둘러싸이는 화소영역의 대부분에는, 투명 도전막(예를 들면 Indium-Tin-Oxide)으로 이루어진 화소전극ITO1이 형성되어 있다.

화소영역의 도면 좌측아래쪽의 게이트신호선GL위의 일부는 박막트랜지스터TFT의 형성영역으로 되어 있으며, 이 영역에는, 예를 들면 SiN로 이루어진 게이트절연막GI, i형 비정질Si로 이루어진 반도체층AS, 드레인전극SD2 및 소스전극SD1이 순차 적층되어서 형성되어 있다.

또한, 소스, 드레인은 본래 그 사이의 바이어스극성에 의해서 결정되는 것으로서, 이 액정표시장치의 회로에서는 그 극성은 동작중 반전함으로, 소스, 드레인은 동작중 교체된다고 이해를 바라고 싶다. 그러나, 이 명세서에서는 화소전극ITO1과 직접 접촉되는 쪽의 전극을 소스전극으로서 고정해서 표현한다.

그리고, 드레인전극SD2 및 소스전극SD1은 드레인신호선DL과 동시에 형성되도록 되어 있다.

즉, 드레인신호선DL은, 그 형성영역에, 미리 박막트랜지스터TFT의 게이트절연막GI, 반도체AS의 형성과 동시에 형성된 절연막GI, 반도체층AS위에 형성되고, 예를 들면 크롬과 알루미늄의 순차 적층체에 의해서 형성되어 있다(도 5참조). 드레인신호선DL의 형성영역에 절연막GI, 반도체층AS를 형성하고 있는 것은, 예를 들면 드레인신호선DL의 단차(段差)편차를 적게하기 위해서다.

박막트랜지스터TFT의 드레인전극SD2는 드레인신호선DL과 일체로 형성되고, 또 소스전극SD1은 드레인전극SD2와 소정의 채널길이분만큼 이간되어서 형성되어 있는 동시에 상기 화소전극ITO1의 일부에 뻗어있게 해서 직접 중첩되어서 형성되어 있다.

또, 부가용량소자Cadd는, 도 6에 표시한 바와 같이, 게이트신호선(박막트랜지스터TFT를 구동하는 게이트신호선과 인접하는 다른게이트신호선)GL을 한쪽의 전극, 드레인신호선DL과 동시에 형성하는 도전층d1 및 화소전극ITO1과 동시에 형성되고 도전층d1과 중첩하는 도전층ITO2를 다른쪽의 전극으로 하고, 그들 사이에 게재되는 절연막인, 알루미늄의 산화막AOF(절화실리콘막이라도 될)을 유전체막으로서 구성되어 있다.

절연막GI, 반도체층AS는, 박막트랜지스터TFT에 있어서의 그드의 형성과 동시에 형성되도록 되어 있으며, 또, 다른쪽의 전극인 도전층d1은 상기 화소전극ITO1의 일부에 뻗어있게해서 직접 중첩되어서 형성되어 있다.

그리고, 이와 같이 구성된 화소영역의 표면에는 SiN로 이루어진 보호막PSV1이 형성되어, 액정의 박막트랜지스터TFT에의 직접 접촉에 의한 특성열악화를 회피하도록 되어 있다.

또, 보호막PSV1의 표면전체영역에는 액정의 배향을 규제하기 위한 배향막(도시생략)이 형성되어 있다.

TFT의 동작

도 15는 TFT액티브매트릭스액정표시장치의 단위화소의 등가회로를 표시한 도면이다.

박막트랜지스터TFT는 소스전극에 대하여 게이트전극을 포지티브의 전압에 의해 바이어스함으로써 온상태(소스와 드레인사이의 저항치가 작아짐)가 되고, 게이트전극에 공급되는 바이어스를 제로에 가깝게 함으로써 오프상태, 즉 소스와 드레인사이의 저항치가 커진다고 하는 전달특성을 가진다.

도 16에는, 도 15에 표시한 액정표시장치의 동작의 일례를 설명하기 위한 파형도가 표시되어 있다.

또한, 도 16에 있어서 표시된 각 신호VG, VD 및 화소PIX의 전압PXV는, 그들이 서로 중첩함으로써 각 파형의 구별이 불명료하게 되는 것을 방지하기 위하여, 신호VG, VD 및 PXV의 순으로 시간적으로 어긋나게 해서 그리고 있다.

주사신호(게이트신호)VG의 하이레벨에 따라서 선택된 게이트신호선GI(GL)에 결합되는 화소PIX에 영상신호선DL로부터 공급되는 영상신호(드레인신호)VD의 기록이 행하여진다. 이때, 화소PIX의 전압PXV는, 도 16에 점선으로 표시한 바와 같이, 상기 온상태로되는 TFT가 저항성분을 지니고 및 화소PIX가 용량성소자Cpix인것 때문에, 그것에 대응한 시정수에 따라서 상승한다. 도 16에서는 최초는, 화소(또는 액정셀)를 높은 계조의 상태로하는 포지티브의 레벨의 영상신호VD가 표시되어 있다. 다음의 게이트신호선GI+1(GL)의 선택에 따라서, 도 16에 표시된 주사신호VG는, 하이레벨의 선택레벨로부터 로레벨의 비선택레벨로 된다. 이에 의해서, TFT는 오프상태로 되기 때문에 상기 기록된 영상신호VD는, 용량성소자Cpix로서 작용하는 화소PIX에 유지된다. 주사신호VG의 하이레벨로부터 로레벨의 전환에 따라서, 화소의 전압PXV는, 화소PIX(또는 TFT의 소스전극 또는 드레인전극중에서 화소전극에 접속되는 전극, 이하 설명의 편의상, 소스전극으로서 취급함.)와 TFT의 게이트전극사이의 기생용량Cgs에 의해서 전위저하성분 ΔV가 발생한다. 또한, 주사신호VG의 로레벨로부터 하이레벨의 전환에서, 게이트-소스사이의 커패시팅Cgs에 의해 화소PIX에 다이브하는 전압은, 드레인신호선Xi(DL)로부터의 영상신호(VD)의 기록에 의해 없앨 수 있으나, 주사신호VG의 하이레벨로부터 로레벨의 전환시에 화소PIX에 다이브하는 전압은, 영상신호VD의 기록에 의해 없앨 수 없다.

도 16에서는, 이후 1프레임의 사이, 낮은 계조레벨의 영상신호VD가 공급되도록 그려져 있다.

일반적으로 액정표시장치는 교류구동을 행하고 있기 때문에, 주사신호VG의 1주기마다 영상신호VD의 극성은, 포지티브/네거티브와 같이 절환되어서 공급된다.

즉 도 16에 표시한 바와 같이, 주사신호VG가 제차 하이레벨의 선택레벨로되면, 영상신호VD는, 네거티브

극성의 소량의 계조레벨로 된다. 또한, 도 16에서는, 네거티브극성의 고계조레벨로한 예를 표시하고 있다. 이 경우에 있어서도, 상기 온상태로 되는 TFT가 저항성분을 지닌것, 및 화소PIX가 용량성소자Cpix인 것 때문에, 화소의 전압PXV는 그에 따른 시정수에 따라서 하강한다. 다음의 게이트 신호선Gi+1(도시생략)의 선택에 따라서, 도 16에 표시된 주사신호V6는, 하이레벨의 선택레벨로부터 로레벨의 비선택레벨로 된다. 이에 의해서, TFT는 오프상태로 되기 때문에 상기 영상신호V0는, 용량성소자Cpix로서 작용하는 화소PIX에 유지된다.

주사신호V6의 하이레벨로부터 로레벨의 전환에 따라서, 화소의 전압PXV는 TFT의 게이트전극과 소스전극 사이의 기생용량Cgs에 의해서 상기과 마찬가지로 전위저하성분 ΔV 가 발생한다. 또 포지티브극성때와 마찬가지로, 주사신호V6의 로레벨로부터 하이레벨의 전환에서, 드레인신호선Xi로부터의 영상신호V0의 기록에 의해 오프할 수 있으나, 주사신호V6의 하이레벨로부터 로레벨의 전환시에 화소PIX에 다이브하는 전압은, 영상신호V0의 기록에 의해 오프할 수 없다. 따라서 네거티브극성때도 포지티브극성과 마찬가지로 게이트·소스사이의 커패시턴스Cgs에 의해 화소PIX에 다이브하는 전압은, 화소의 전압PXV를 네거티브의 방향으로 저하시킨다.

도 16에서는, 이후 1프레임의 사이, 네거티브극성이 낮은 계조레벨의 영상신호V0가 공급되도록 그려져 있다.

이상의 설명과 같이, 액정교류구동의 포지티브극성 및 네거티브극성 다같이, 주사신호V6가 하이레벨로부터 로레벨로 변화하면, TFT의 게이트전극과 소스전극사이의 기생용량Cgs에 의해서, 화소의 전압PXV는, 기록시점의 영상신호V0의 레벨에 대해서, 도 16에 점선으로 표시한 바와 같이, 전위저하성분 ΔV 가 발생한다.

따라서 액정표시패널의 공통전극COM에 인가되는 바이어스전압Vcom은, 2점쇄선으로 표시한 바와 같이, 상기 화소의 전압PXV의, 포지티브극성 및 네거티브극성사이의, 실질적인 중간의 레벨(최적의 공통전극전압)로 설정된다. 즉 공통전극COM에, 화소전극PXV의 전위저하 ΔV 를 고려한, 최적의 공통전극전압을 인가함으로써, 액정의 실질적인 교류구동을 행할 수 있다.

만약 공통전극COM에 인가되는 바이어스전압Vcom이 상기한 최적의 공통전극전압으로부터 어긋났을 경우는, 액정교류구동의 포지티브극성과 네거티브극성의 기간에서 액정에 인가되는 전압Vlc에 차(差)가 발생하여, 플리커라 일컫는 주기적인 휘도변화를 발생하고, 표시화질이 현저하게 저하한다.

유지용량소자의 동작

도 15에 있어서, Cgs는 앞서 설명한 박막트랜지스터TFT의 게이트전극과 소스전극과의 사이에 형성되는 기생용량이다. 기생용량Cgs의 유전체는 게이트전극과 소스전극사이의 절연절연막이다. Cpix는 투명화소전극PIX와 공통투명화소전극COM의 사이에 형성되는 액정용량이다. 액정용량Cpix의 유전체막은 액정 및 배향막이다. Vic는 액정에 인가되는 전압이다.

유지용량소자Cadd는, 박막트랜지스터TFT가 스위칭할 때, 화소전극전위PXV에 대한 주사신호의 전위변화 ΔV 의 영향을 저감하도록 작용한다. 이 모양을 식으로 표시하면 식 1로 표시된다.

$$\Delta V = \{Cgs / (Cgs + Cds1 + Cds2 + Cadd + Cpix)\} \times \Delta V_0 \quad \text{식 1}$$

여기서 ΔV 는, 앞서 설명한, 주사신호의 전위변화 ΔV_0 에 의한 화소전압PXV의 전위저하성분을 표시한다. 이 전위저하성분 ΔV 는 액정에 가해지는 직류성분의 원인으로되나, 유지용량Cadd를 크게하면 할수록, 상기 화소전압PXV의 전위저하성분 ΔV 를 작게할 수 있다. 또, 유지용량소자Cadd는 방전시간을 길게하는 작용도 있으며, 박막트랜지스터TFT가 오프된 후의 영상정보를 오래 축적한다. 액정에 인가되는 직류성분의 저감은, 액정의 수명을 향상시키고, 액정표시화면의 전환시에 앞서의 화상이 남는 소위 늘어붙음을 저감할 수 있다.

또한, 도 15 및 식 1에서 Cds1은 박막트랜지스터의 소스전극SD1과 드레인전극SD2사이의 기생용량으로서, 화소전극PIX와 드레인신호선Xi사이의 용량이기도하다.

또 Cds2는 화소전극PIX와, 그와 인접하는 드레인신호선Xi+1사이의 기생용량을 표시하고, Cgd는 게이트전극과 드레인전극사이의 기생용량을 표시한다.

도 30에 표시한 바와 같이, 게이트전극GL은 i형 반도체층AS를 덮도록 크게 되어 있는 분만큼, 소스전극SD1, 드레인전극SD2와의 오버랩면적이 증가하고, 따라서 기생용량Cgs가 크게되어, 화소전극전위PXV는 주사신호V6의 영향을 받기 쉽게된다고 하는 역효과가 발생한다. 그러나, 유지용량소자Cadd를 형성함으로써, 화소전극전위 PXV가 기생용량Cgs의 영향을 받기 어렵게한다고 하는 효과가 있다.

본 실시형태에서는 화소의 용량이 대략 150fF임으로, 유지용량소자Cadd의 용량은, 기록특성을 고려하여, 대략 100fF로 하고 있다. 기생용량Cgs가 대략 15fF임으로, 유지용량소자Cadd의 용량은 기생용량Cgs의 6배이상으로 되어 있다.

또 도 2, 도 3 및 도 6에서는 인접하는 화소의 게이트신호선GL의 일부와 화소전극ITO1을 절연막을 개재해서 중첩함으로써, 유지용량Cadd를 형성하고 있는, 부가용량방식의 예를 표시하고 있으나, 유지용량Cadd는 이에 한정되는 것은 아니며, 도 12, 도 13 및 도 14에 표시한 바와 같이, 게이트신호선GL과는 별도로 용량선CL을 형성하여 용량선CL과 화소전극ITO1을 절연막을 개재해서 중첩시킴으로써, 유지용량Cadd를 형성하는 축적용량방식이어도 된다. 본 실시예에 있어서 부가용량방식은, 개구율을 높게할 수 있다는 장점과, 게이트신호선GL의 분포용량이 커지는 단점을 가진다. 또 본 실시예에 있어서 축적용량방식은 게이트신호선GL의 분포용량을 작게할 수 있는 장점과, 개구율이 용량선CL을 형성한분 만큼 저하하는 점 및 제조공정이 증가하는 등의 단점이 있다.

기생용량Cgs의 불균일방지대책

증래는 액정표시장치의 표시영역은 10형(대각 25.4cm)보다도 작았음으로, 게이트전극·소스전극사이의 기생용량Cgs의 제조상의 불균일은 적고, 공통전극COM에 인가하는 최적의 공통전극전압Vcom은 일의적으로

결정되었다.

그러나, 액정표시장치의 표시영역이 13형(대각 34cm)보다도 크게되면, 기생용량 C_{gs} 의 제조상의 불균일이 커지고, 공통전극COM에 인가하는 최적의 공통전극전압 V_{com} 은 표시영역의 각 부분에서 크게 달라져, 일적으로 결정되지 않는다고 하는 과제가 발생하게 되었다.

상기 과제를 해결하기 위하여, 본 실시예에서는, 특히, 상기 박막트랜지스터TFT의 소스전극SD1에 있어서, 그 확대도인 도 1에 표시한 바와 같이, 화소전극IT01과 접속되는 부분에 있어서 게이트전극과 중첩하는 부분에서부터 중첩하지 않게되는 부분에서, 그 폭이 박막트랜지스터의 채널폭 w 보다도 작게 형성되어 있다.

즉, 등도면에 있어서, 드레인전극SD2는 드레인신호선GL로부터 게이트신호선GL위를 그 주행방향을 따라서 뻗어있게 한 후에 화소전극IT01쪽으로 지향하도록 굴곡되어서 형성되어 있다.

이 경우, 드레인전극SD2로서 실질적으로 기능하는 것은 화소전극IT01쪽으로 지향된 굴곡부이며, 그 길이는 박막트랜지스터TFT의 채널폭 w 를 결정지우게 된다.

또, 소스전극SD1은 이 드레인전극SD2의 굴곡부와 대향해서 채널길이 l 에 상당하는 분만큼 이간되어서 배치되고 그대로, 화소전극IT01쪽으로 뻗어있게 해서 상기 화소전극IT01과의 접속이 도모되어 있다.

따라서 소스전극SD1의 드레인전극SD2와 대향해있는 변(邊)의 길이가 상기 채널폭 w 보다 작게 형성되어 있다.

여기서, 상기 소스전극SD1의 뻗어있는 방향에 직교하는 폭 w_0 의 길이가 상기 채널폭 w 보다 작게 형성되어 있다.

이와 같이 구성되는 소스전극SD1은, 그것을 형성할때에 예를 들면 도면중 y 방향으로 위치편차를 일으켜서 형성되어도, 상기 소스전극SD1의 게이트신호선GL에 대한 중첩부의 면적은 크게 변화하는 일은 없다. 소스전극SD1의 뻗어있는 방향으로 직교하는 폭 w_0 의 길이가 비교적 작게형성되어 있기 때문이다.

또, 도면중 x 방향으로 위치편차를 일으켰을 경우에는, 상기 소스전극SD1의 게이트신호선GL에 대한 중첩부의 면적의 변화는 전혀 없게된다.

이러한 일로, 가령 회전방향 θ 로 위치 편차를 일으켜도, 상기 소스전극SD1의 게이트신호선GL에 대한 중첩부의 면적은 크게 변화하는 일은 없다.

따라서, 각 화소영역의 박막트랜지스터TFT는, 그 게이트전극과 소스전극과의 용량 C_{gs} 을 거의 균일하게 형성할 수 있게되고, 클리커의 발생을 억제할 수 있게 된다.

이와 같은 효과는, 드레인전극SD2와 소스전극SD1의 패턴을 도 1에 표시한 것만에 의해서 얻을 수 있다는 것이 아니고, 예를 들면, 도 7(a)~도 7(d)에 표시한 바와 같은 각 패턴으로 함으로써 마찬가지로 얻을 수 있는 것은 말할것도 없다.

이 경우 상기한 실시예에서는, 소스전극SD1은 화소전극IT01에 접속시키기 위한 뻗어있는 부분을 제외하고 드레인전극SD2와 대향관계있도록 구성한 것이다.

그러나, 도 8에 표시한 바와 같이, 소스전극SD1을 그것과 접속시키기 위한 화소전극IT01과 반대쪽의 방향으로 그대로 뻗어있게 해서 게이트신호선GL을 넘도록 해서 형성하도록 해도 되는 것은 말할 것도 없다.

이 경우, 그 소스전극SD1이, 인접하는 화소영역의 화소전극IT01과 접속되어 버리는 것을 회피하기 위하여, 상기 게이트신호선GL에 일부 노치GLC를 형성하도록 해서, 상기 게이트신호선GL을 넘도록 구성하고 있다.

바꾸어말하면, 실질적으로 전극으로서 기능하지 않는 다른 부분과 일체적으로 형성되는 소스전극SD1은 게이트신호선GL과 교차하도록 해서 형성되어 있는 것에 있다.

이와 같이 구성되는 소스전극SD1은, 그것을 형성할때에 예를 들면 도면중 x 방향은 물론, 가령 y 방향으로 위치편차를 일으켜서 형성되어도, 상기 소스전극SD1의 게이트신호선GL에 대한 중첩부의 면적은 전혀 변화하는 일은 없다.

이러한 일로, 가령 회전방향 θ 로 위치편차를 일으켜도, 상기 소스전극SD1의 게이트신호선GL에 대한 중첩부의 면적은 전혀 변화하는 일은 없다.

따라서, 각 화소영역의 박막트랜지스터TFT는, 그 게이트전극과 소스전극과의 용량 C_{gs} 을 균일하게 형성할 수 있게 되어, 클리커의 발생을 대폭적으로 억제할 수 있게 된다.

또, 이 실시예에서는, 특히, 게이트신호선GL을 따라서 배열되는 각각의 박막트랜지스터TFT에 있어서, 그 게이트전극(게이트신호선GL)과 소스전극SD1과의 사이의 용량 C_{gs} 가, 게이트신호선의 입력단자쪽에서 작게 중단쪽에서 크게 되도록 구성되어 있다.

즉, 도 9(a)는 게이트신호선GL의 입력단자쪽의 박막트랜지스터를 표시하고, 도 9(b)는 게이트신호선GL의 중단쪽의 박막트랜지스터를 표시하고 있다.

도 9(a), 도 9(b)로부터 명백한 바와 같이, 도 9(b)에 표시한 박막트랜지스터TFT의 소스전극SD1쪽의 반도체층AS가 도 9(a)에 표시한 그것보다도 크게 형성됨으로써 (그 과잉분을 부호1로 표시하고 있음), 중단쪽의 박막트랜지스터TFT의 게이트신호선GL과 소스전극SD1의 사이의 용량 C_{gs} 가 크게되도록 되어 있다.

즉, 입력단자쪽의 박막트랜지스터의 소스전극근처의 반도체층AS가 게이트신호선GL과 중첩되는 면적보다도, 중단쪽의 박막트랜지스터의 소스전극근처의 반도체층AS가 게이트신호선GL과 중첩되는 면적이 크게 되어 있다.

이 경우, 게이트신호선의 입력단자쪽으로부터 중단쪽에 걸친 각 박막트랜지스터TFT의 용량Cgs는 순차 크게 되도록 구성해도, 또는, 인접하는 복수의 각 박막트랜지스터를 순차 그룹화하고, 이를 그룹마다 순차 크게되도록 구성해도 된다.

이와 같이 구성함으로써, 게이트신호선에서의 주사신호의 파형변형에 의한 화소전극ITO1의 전위의 포지티브방향으로의 시프트를, 다이브전압의 상기 용량Cgs에 의존하는 화소전극ITO1의 전위의 네거티브방향으로의 시프트에 의해 상쇄시킴으로써, 게이트신호선의 입력단자쪽과 중단쪽의 각 액정에 인가되는 전압을 동등하게 하고 있다.

이 때문에, 휘도변화에 의한 화면의 얼룩거림을 억제할 수 있다.

일반적으로 액정패널에 있어서의 1라인의 기록시간은, 주사신호선구동회로부(도 2의 부호(104)참조)로부터의 「TFT온 신호」의 폭에 의해 결정되는 시간내에 완료한다.

그러나, TFT온신호는, 수평주사주파수에 의해서 그 폭이 일의적으로 결정되는 직사각형형상펄스이며, 일반적으로, 직사각형형상펄스에서는, 그 상승이나 하강의 전류변화분(dI/dt)이 크기 때문에, 신호경로속의 시정수의 영향을 받기 쉽고, 실제로 상승이나 하강 파형이 시정수커브를 따른 곡선적인 파형(이하, 이 곡선적인 파형을 파형변형이라 일컫고) 곡률이 큰 파형을 파형변형이 큼이라함)으로 됨으로, 또한, 그 파형변형은 신호경로의 중단에 가까워짐에 따라서 크게 됨으로, 상기한 화소전압PXV의 전위저하성분 ΔV 는 주사신호선의 중단이 됨에 따라서 적어지고, 그 결과, 주사신호선의 입력단자쪽에 대해서 중단쪽의 화소전압(소스전극전위)이 높아진다.

이러한 문제점은, 특히, 화소수를 증대했을 경우나, 화소사이즈(특히 주사선방향의 사이즈)를 크게 했을 경우에 현저하다.

도 15의 분포용량(Cgs, Cadd, Cgd등)이 화소수나 화면사이즈에 비례해서 커지기 때문이다.

이하 상기 문제점을 구체적으로 설명한다.

도 17은 액정표시패널의 1라인분의 등가회로이다. 이 도면에 있어서, GTM은 TFT온신호의 입력단자(즉 도 2의 주사신호선구동회로(104)의 출력에 접속하는 단자)이며, 이 단자GTM은, 주사신호선구동회로(104)와 액정표시패널의 사이의 배선(11)을 통해서, 액정표시패널의 게이트신호선에 접속되어 있다. R11 및 C11은 배선(11)의 저항성분과 용량성분을 각각 표시하고 있다. 게이트신호선은 화소단위로 등가되어 있으며, 각 화소의 R12 및 C12는 각 화소의 저항분과 용량분(분포용량으로도 부르고, Cgs+Cadd+Cgd에 상당)을 각각 표시하고 있다.

지금 게이트신호선의 2개의 점a, c에 주목하고, 각각의 점에 있어서의 TFT온신호의 파형변형을 생각한다. a는 단자GTM에 가장 가까운 점이다. 이 점a의 TFT온신호를 편의적으로 Vga라고 한다. c는 단자GTM으로부터 가장 먼 (바꾸어 말하면 주사신호선의 중단)점이다. 이점c의 TFT온신호를 편의적으로 Vgc라고 한다.

도 18(a)는 단자쪽, 도 18(b)는 중앙부, 도 18(c)는 중단쪽의 TFT의 구동파형을 표시한 도면이다. 어느 신호Vga, Vgc도, 1수평주사기간내에 할당된 소정의 기록기간Tx에서 상승에서부터 하강까지 변화하는 직사각형 펄스이다. 신호Vga의 파형변형은, R11과 C11의 시정수에 의해서 발생한 미소한 것이나, 신호Vgc의 파형변형은, 이 R11과 C11의 시정수에, 또 1라인의 화소수의 R12와 C12를 포함한 시정수에 의해서 발생한 큰 것이다. 이 때문에, 신호Vga의 하강tfr1에 비해서 신호Vgc의 하강tfr2이 상당히 지연되고 있다. 지연의 정도는, 화소수가 증가할수록, 또, 화면사이즈가 커질수록 현저하게 된다. 상기한 분포용량(즉 C12)이 증대하기 때문이다.

즉, $tfr2 > tfr1$ 의 관계로 되고, 그차는 주로 상기의 분포용량의 크기에 의존한다.

따라서 앞서 설명한 식 1의 관계로부터, 단자쪽의 화소전압의 저하성분 $\Delta V1$ 은 중단쪽화소전압의 저하성분 $\Delta V2$ 보다도 크게된다.

종래는 단위화소의 기생용량(Cgs, Cadd, Cds2) 및 유지용량(Cadd)은, 화소전극의 구동조건을 동등하게 하기 위하여, 표시영역의 어느 장소에서도 일정하게 되도록 설계하는 것이 상식이었다. 따라서 종래의 기술에서는, 앞서 설명한 최적의 공통전극의 전압Vcom은, 실제로는, 게이트신호선의 단자쪽과 중단쪽에서 달랐다.

그러나 종래는, 표시화면의 사이즈가 10형(세로 15cm, 가로 21cm)보다도 작고, 게이트신호선도 길지않았음으로(21cm이하), 입력단자쪽의 화소와 중단쪽의 화소사이에서, 화소전극의 전위저하성분 ΔV 의 차는 무시할 수 있을 정도로 작고, 액정표시장치의 구동마진(특히 최적의 공통전극전압Vcom의 마진)에 여유가 있었음으로, 본 발명이 해결하는 과제를 인식할 수 없었다.

따라서 종래의 기술에서는, 1라인의 화소수가 많은 경우나, 표시영역의 게이트신호선방향의 길이가 길어지면(적어도 게이트신호선의 길이가 27cm이상의 액정표시장치에서는), 이제는 표시영역의 전체 화소에 대해서 공통전극에 인가하는 전압을 최적으로 하는 것은 할 수 없게 되어 가고 있다.

상기의 과제를 해결하기 위하여, 상기한 실시예에서는, 박막트랜지스터TFT의 소스전극SD1쪽의 반도체층AS의 크기를 다르게 하도록 함으로써, 그 용량Cgs를 다르게하도록 한 것이다.

또 상기한 실시예에서는 박막트랜지스터TFT의 채널형성영역(소스전극SD1과 드레인전극SD2사이의 영역)이 외의 부분에서 반도체층AS의 크기를 다르게하고 있음으로, 게이트·소스사이용량Cgs를 입력단자쪽과 중단쪽에서 바꿈으로써, TFT의 사이즈(구체적으로는 채널길이 l_c 및 채널폭 w)가 바뀌어지는 일없이, 액정표시장치의 설계가 용이하다.

또, 식 1로부터 명백한 바와 같이 화소전극의 전위저하성분 ΔV 를 각 화소사이에서 차가 적어지도록 조절하는 방법은, 상기의 실시예와 같이, 게이트·소스사이용량Cgs를 조절하는 방법에 한하지 않고, 유지용량소자Cadd를 조절하는 방법, 액정용량Cpix(구체적으로는 화소전극ITO1의 면적 또는 화소전극ITO1과 공

통전극CDM(도시생략)사이의 거리)를 조절하는 방법, 소스·드레인사이용량Cds1을 조절하는 방법 또는 화소전극ITO1과 그와 인접하는 드레인선호선ML사이의 기생용량Cds2를 조절하는 방법이어도 된다.

그러나 게이트·소스사이용량Cgs를 조절하는 상기의 실시예의 쪽이, 식 1의 분자가 게이트·소스사이용량Cgs만으로 구성되어 있는 것으로부터 명백한 바와 같이, 적은 게이트·소스사이용량Cgs의 변화량으로, 화소전극의 전위저하성분 ΔV 를, 넓은 다이내믹레인지에서 조정할 수 있다. 따라서 상기한 실시예에서는 게이트·소스사이용량Cgs를 변화시키기 위한 스페이스가 적어서 필요로, 화소의 개구율을 크게할 수 있다.

또, 게이트·소스사이용량Cgs, 유지용량소자 Cadd, 액정용량Cpix, 소스·드레인용량Cds1 및 화소전극드레인선호선사이용량Cds2를 조합해서 조정하면, 더욱더 넓은 다이내믹레인지에서 화소전극의 전위저하성분 ΔV 를 조절할 수 있다.

또한, 유지용량소자Cadd, 액정용량Cpix, 소스·드레인용량Cds1 또는 화소전극드레인선호선사이용량Cds2에 의해, 화소전극의 전위저하성분 ΔV 를 조절하는 경우는, 그들 용량이 식 1의 분모를 구성하고 있는 것으로부터 명백한 바와 같이, 주사신호구동파형의 변형이 커지는 중단쪽의 화소(c)에서 그들 용량을 작게하고, 주사신호구동파형의 변형이 적은 입력단자쪽의 화소(a)에서 그들 용량을 크게하면 된다.

또, 게이트·소스사이용량Cgs를 조절하는 방법은 반도체층AS의 게이트신호선GL과의 중첩면적을 조절하는 것에 한하는 것은 아니고, 도 10에 표시한 바와 같이, 게이트신호선GL에 대한 소스전극SD1의 오버랩영역의 상기 게이트신호선GL에 도시한 바와 같은 플기부BLP를 뺀어있게 해서 구성하고, 이 플기부BLP의 면적을 게이트신호선GL의 입력단자쪽에서 작게 중단쪽에서 크게 형성하도록 해도 마찬가지로의 효과를 얻을 수 있게 된다.

또, 도 11에 표시한 바와 같이, 게이트신호선GL에 대한 소스전극SD1의 오버랩영역을 상기 게이트신호선GL의 폭방향의 길이를 바꿈으로써 다르게되도록 해도 되는 것은 말할 것도 없다.

즉, 게이트신호선GL을 따라서 배열되는 각 화소영역을, 서로 인접하는 복수의 화소영역마다 그룹화하고, 이 각 그룹화된 화소영역의 게이트신호선GL을 그 입력단자쪽으로부터 중단쪽에 걸쳐서 순차폭을 넓히는(소스전극SD1의 화소전극ITO1과 접속되는 쪽의 폭을 넓히는)구성으로 되어 있다.

또, 도 12, 도 13 및 도 14에 표시한, 유지용량Cadd에 축적용량방식을 채용하고 있는 액정표시장치의 경우는, 화소전극ITO1과 용량선GL의 중첩면적을 입력단자쪽으로부터 중단쪽에 걸쳐서 순차폭을 넓히는 구성으로 하는 것에 의해서도, 화소전극의 전위저하성분 ΔV 를 조절할 수 있다. 도 13 및 도 14에 표시한 실시예에서는, 용량선GL의 폭W3를 조절함으로써, 전위저하성분 ΔV 를 조절하고 있다.

축적용량방식의 액정표시장치는 게이트신호선GL의 분포용량이 적음으로, 주사신호V6의 파형변형의 영향을 저가할 수 있는 특징을 가진다. 그러나 축적용량방식의 액정표시장치에서도, 상기의 실시예와 같이 게이트·소스사이용량Cgs나 유지용량Cadd를 조절해서, 입력단자쪽과 중단쪽의 전위저하성분 ΔV 의 차를 작게함으로써, 주사신호V6의 파형변형의 영향을 모두 없앨 수 있음으로, 최대급의 표시화면을 가진 액정표시장치를 실현할 수 있다.

또, 게이트신호선GL에 입력한 신호파형의 변형은, 입력 단(端)에서부터 중단으로 감에 따라서, 단조롭게 증가한다.

도 17의 b부는 게이트신호선(주사신호선)GL의 중앙부를 표시하고, 그 부분의 TFT구동파형을 도 18(b)에 표시한다. 도 18(a)는 도 17의 a에 표시한 입력단자쪽의 TFT구동파형을 표시하고, 도 18(c)는 도 17의 c에 표시한 중단쪽의 TFT구동파형을 표시한다. 도 18(a), 도 18(b) 및 도 18(c)를 비교하면 명백한 바와 같이, 중앙부의 주사신호 V6b의 하강시간tf1은 입력단자쪽의 하강시간tf1과 중단쪽의 하강시간tf1의 사이에 있다. 즉, tf1 < tf < tf1의 관계에 있다. 따라서, 기생용량이 모든 화소에서 동등하게 되도록 설계한, 종래의 액정표시장치에서는, 중앙부의 화소전극의 전위저하성분 ΔV 는 입력단자쪽의 전위저하성분 $\Delta V1$ 과 출력단자쪽의 전위저하성분 $\Delta V2$ 의 사이에 있다. 즉 $\Delta V1 > \Delta V > \Delta V2$ 의 관계가 있다.

따라서, 게이트신호선GL의 중앙부분에 대응하는 화소전극ITO의 전압의 포지티브방향으로의 시프트량은, 게이트신호선GL의 입력단에 대응하는 화소전극ITO보다도 많고, 게이트신호선GL의 중단에 대응하는 화소전극ITO보다 적다.

그러므로, 게이트신호선GL의 중앙부분에 접속되는 박막트랜지스터TFT의 게이트전극과 소스전극SD1사이의 용량Cgs를, 게이트신호선GL의 입력단에 접속되는 박막트랜지스터TFT의 용량Cgs보다 크게, 게이트신호선GL의 중단에 접속되는 박막트랜지스터TFT의 용량Cgs보다 작게함으로써, 입력단 및 중단의 화소전극ITO와 중앙부의 화소전극ITO에 다이브하는 게이트신호의 누설성분을 균일하게 할 수 있고, 최적의 공통전극전압도 입력단 및 중단의 화소와 중앙부의 화소에서 달라지는 일이 없고, 표시영역의 중앙부에서 플리커가 발생하는 일이 없다.

또한, 여기서 게이트신호선의 입력단 및 중단의 화소전극ITO1은 표시에 기여하는 화소전극ITO1에 의해 의론하고 있으며, 표시에 기여하지 않는 화소전극ITO1은 제외해서 생각하는 것이 타당하다는 것은, 그들이 플리커와 무관계인 것 때문에 말할 것도 없다.

그러나, 게이트신호선의 입력단 및 중단의 화소전극ITO1에서, 차광되어 있는 화소전극ITO1에 대응하는 화소에도, 입력단쪽의 박막트랜지스터TFT의 용량Cgs보다도 중단쪽의 박막트랜지스터TFT의 용량Cgs를 크게 하는 구성을 채용함으로써, 액정에 직류성분이 가해지는 일이 없고, 액정의 수명을 향상시키는 효과를 얻을 수 있다.

본 실시예에서는, 게이트신호선GL에 입력되는 주사신호의 파형변형에 의한 플리커방지대책 및 노광장치의 광학계의 변형등에 의한 소스전극SD1의 위치편차에 의한 플리커방지대책을 실시한 액정표시장치를 설명한 것이나, 이들 각 방지대책중 어느한쪽을 실시하도록 구성해도 되는 것은 말할 것도 없다.

그러나, 소스전극SD1의 위치편차에 의한 플리커방지대책을 실시한 액정표시장치에, 게이트신호선GL에 입

력되는 주사신호의 파형변형에 의한 플리커방지대책을 행함으로써, 화소전극의 전위저하성분 ΔV 를 높은 정밀도로 조절할 수 있어, 표시영역을 최대급까지 확대해도, 액정표시패널의 구동마진(특히 공통전극전압 V_{com} 의 마진)을 충분히 확보할 수 있다.

투명기관SUB1의 제조방법

다음에, 도 3에 표시한 액정표시장치의 제 1의 투명절연기관(박막트랜지스터기관)SUB1쪽의 제조방법에 대해서, 도 19~도 21을 참조해서 설명한다. 또한, 동 도면에 있어서, 중앙의 문자는 공정명의 약칭이며, 좌측은 박막트랜지스터TFT(IV-IV절단선), 우측은 유지용량Cadd(VI-VI절단선)의 단면형상에서 본 가공의 흐름을 표시한다. 공정B 및 0를 제외하고, 공정A~6의 공정은, 각 사진(photo)처리에 대응해서 구분한 것으로서, 각 공정의 어느 절단도도 포토처리후의 가공이 끝나고, 포토레지스트를 제거한 단계를 표시하고 있다. 또한, 상기 사진(photo)처리란 본 설명에서는 포토레지스트의 도포로부터 마스크를 사용한 선택노광을 거쳐서, 그것을 현상할때까지의 일련의 작업을 표시하는 것으로하고, 반복되는 설명은 피한다. 이하 구분된 공정에 따라서 설명한다.

7059유리(상품명)로 이루어진 제 1의 투명절연기관SUB1의 양면에 산화실리콘막SiO를 딥(dip)처리에 의해 형성한 후, 500°C, 60분간의 베이킹을 행한다. 또한, 이 SiO막은 투명절연막SUB1의 표면요철(凹凸)을 완화하기 위하여 형성한다. 요철이 적은 경우, 생략할 수 있는 공정이다. 막두께가 2800Å의 Al-Ta, Al-Ti-Ta, Al-Pd등으로 이루어진 제 1도전막g1을 스퍼터링에 의해 형성한다. 포토처리후, 인산과 질산과 붕초산과의 혼산액에 의해 제 1도전막g1을 선택적으로 에칭한다.

레지스트직조(直描)후(상기한 양극산화패턴형성후), 3%타르타르산을 암모니아에 의해 pH6.25±0.05로 조정된 용액을 에틸렌글리콜액에 의해 1:9로 희석한 액으로 이루어진 양극(陽極)산화액속에 기관SUB1을 침지하고, 화성전류밀도가 0.5mA/cm²가 되도록 조정한다(정전류화성). 다음에, 소정의 Al2O3막두께를 얻는데 필요한 화성전압125V에 도달할때까지 양극산화(양극화성)를 행한다. 그후, 이 상태에서 수 10분 유지하는 것이 바람직하다(정전압화성). 이것은 균일한 Al2O3막을 얻는데 있어서 중요한 일이다. 그것에 의해서, 도전막g1이 양극산화되고, 주사신호선(게이트라인)g1위 및 측면에 자기정합적(自己整合的)으로 막두께가 1800Å의 양극산화AOF막이 형성되어, 박막트랜지스터TFT의 게이트절연막의 일부가 된다.

막두께가 1400°C의 IT0막으로 이루어진 도전막IT0를 스퍼터링에 의해 형성한다. 포토처리후, 에칭액으로서 염산과 질산의 혼산액에 의해 도전막IT0를 선택적으로 에칭함으로써, 유지용량Cadd의 한쪽의 전극 및 투명화소전극IT0를 형성한다.

플라즈마CVD장치에 암모니아가스, 실란가스, 질소가스를 도입해서, 막두께 2000Å의 질화Si막을 형성하고, 플라즈마CVD장치에 실란가스, 수소가스를 도입해서, 막두께가 2000Å의 i비정질Si막을 형성한 후, 플라즈마CVD장치에 수소가스, 포스핀가스를 도입해서 막두께가 300Å의 N+형의 비정질Si막 d0를 형성한다. 이 성막은 동일한 CVD장치에 의해 반응실을 바꾸어 연속해서 행한다.

포토처리후, 드라이에칭가스로서 SF6, BCl을 사용해서 N+형 비정질Si막 d0, i형 비정질Si막 AS를 에칭한다. 계속해서, SF6를 사용해서 질화Si막 g1을 에칭한다. 물론, SF6가스로 N+형 비정질Si막 d0, i형 비정질Si막 AS 및 질화Si막 g1을 연속해서 에칭해도 된다.

이와 같이 3층의 CVD막을 SF6를 주성분으로 하는 가스로 연속적으로 에칭함으로써, i형 비정질Si막 AS 및 질화Si막 g1의 측면을 테이퍼형상으로 가공할 수 있다. 상기 테이퍼형상 때문에, 그 상부에 소스전극SD1이 형성되었을 경우도 단선의 확률은 현저하게 저감된다. N+형 비정질Si막 d0의 테이퍼각도는 90°에 가까우나, 두께 300Å로 얇기 때문에, 이 단차에서의 단선의 확률은 매우 작다. 따라서, N+형 비정질Si막 d0, i형 비정질Si막 AS, 질화Si막 g1의 평면패턴은 엄밀하게는 동일 패턴은 아니고, 단면이 순(順)테이퍼형상으로 되기 때문에, N+형 비정질Si막d0, i형 비정질Si막 AS, 질화Si막 g1의 순으로 큰 패턴이 된다.

막두께가 600Å의 Cr로 이루어진 제 1도전막d1을 스퍼터링에 의해 형성한다. 포토처리후, 제 1도전막d1을 질산제2세륨암모늄용액에 의해 에칭하여, 드레인산화선DL, 소스전극SD1, 드레인전극SD2를 형성한다.

여기서 본 실시예에서는, 공정E에 표시한 바와 같이, N+형 비정질Si막 d0, i형 비정질Si막 AS, 질화Si막 g1이 순테이퍼로 되어 있기 때문에, 소스전극SD1을 제 1도전막d1만으로 형성해도 소스전류SD1이 단선되는 일이 없다.

다음에, 드라이에칭장치에 SF6, BCl을 도입해서 N+형 비정질Si막 d0를 에칭함으로써, 소스와 드레인사이의 N+형 반도체막d0를 선택적으로 제거한다.

플라즈마CVD장치에 암모니아가스, 실란가스, 질소가스를 도입해서, 막두께가 0.6μm의 질화Si막을 형성한다. 포토처리후, 드라이에칭가스로서 SF6를 사용해서 에칭함으로써, 보호막PSV1을 형성한다. 보호막으로서 CVD에 의해 형성한 SiN막뿐만 아니라, 유기재료를 사용한 것도 사용할 수 있다.

포토마스크의 설계

제 1의 기판SUB1의 각층의 패턴은 포토리소그래피에 의해 형성된다.

도 22(a)는 패턴형성방법의 일예를 표시한 도면이다.

MSK1은 기판에 전사하기 위한 패턴PAT가 형성된 포토마스크이다. MSK1은 1개이고, 액정표시패널의 1층의 전체패턴이 형성되어 있다.

SUB1은 주면(主面)에 포토레지스트가 도포된 기판이다. 도 22(a)의 예에서는, 1개의 기판SUB1에 1개의 액정표시패널의 패턴을 형성하는 예를 표시하고 있다. 그러나 1개의 모(母)유리기판에 복수의 액정표시패널의 패턴을 형성해도 된다.

포토마스크에는 얼라인먼트마크ALM이 형성되고, 기판에 형성한 얼라인먼트마크ALM'와 포토마스크의 얼라인먼트마크ALM을 맞출으로써, 제 1의 기판SUB1의 각층사이의 맞출을 행한다.

수은등 등의 광원LIT에서 발생한 자외선등의 광은, 렌즈광학계LEN에서 균일한 면광원으로 가공되어, 반사경MIR에 보내진다.

반사경MIR에 보내진, 광은 슬릿SLT를 향해서 반사되고, 슬릿SLT를 통과한 광은 선형상의 광으로되어 포토마스크MSK1을 비춘다.

포토마스크MSK1을 통과한 선형상의 광은 기판SUB1위에 닿아 포토레지스트를 감광시킨다.

이때, 광이 닿는 e의 부분만 포토마스크MSK1의 패턴PAT가 기판SUB1위에 전사된다.

도 22(a)의 화살표시로 표시한 방향으로, 기판 및 포토마스크에 대해서, 슬릿SLT나 반사경MIR를 상대적으로 이동시킴으로써, 포토마스크MSK1의 패턴PAT가 기판SUB1의 패턴PAT'로서 전사된다.

도 22(b)는 도 22(a)에 표시한 방법에서 사용하는 포토마스크MSK1의 패턴PAT의 예를 표시한 것이다.

도 9에 표시한 실시예를 근거로 설명하면, 도 22(b)에 표시한 포토마스크MSK1은 반도체층AS의 패턴이 형성되어 있다.

게이트신호선의 뿔머있는 방향은 x라고 하면, 도 22(b)의 a는 입력단자쪽의 반도체층AS, b는 증단쪽의 반도체층AS의 패턴을 표시하고 있다. 도 22(b)의 1부분은, 앞서 설명한, 게이트·소스사이용량Cgs를 조절하기 위한 패턴이다.

도 22(a), 도 22(b)에 표시한, 1개의 포토마스크MSK1에 액정표시패널의 1개층의 전체패턴을 형성하고, 기판SUB1의 소량의 층(예를 들면 반도체층AS)을 패턴형성하는 방법에 의하면, 동일 노광조건에 의해, 입력단자쪽과, 증단쪽의 패턴을 형성할 수 있음으로, 화소전극의 전위저하성분 ΔV 를 조절하기 위한 패턴I를 높은 정밀도로 형성할 수 있다.

따라서, 전위저하성분 ΔV 를 정밀도 좋게 제어할 수 있음으로, 액정표시패널을 구동할때의 마진(특히 공통전극전압Vcom의 마진)이 향상된다.

또한, 도 22(a)에 표시한 바와 같이, 기판SUB1위의 패턴PAT'의 형성에는, 반사경MIR이나 슬릿SLT를 이동시켜서 노광하고 있음으로, 기계적인 부분의 정밀도에 의해, 기판위의 패턴PAT'에 변형이 발생하는 일이 있다.

그러나, 도 1, 도 7(a)~도 7(d) 및 도 8에서 표시한, 소스전극SD1의 뿔머있는 방향으로 직교하는 폭W0의 길이가 상기 채널폭보다 작게 형성하는 구성으로 함으로써, 소스전극SD1과 게이트신호선의 맞출 편차에 의한 게이트·소스사이용량Cgs의 변동이 적어지기 때문에, 노광공정의 변형의 영향을 작게할 수 있다.

도 23(a)는 제 1의 기판SUB1에 패턴을 형성하는 방법의 다른예를 표시한 것이다.

도 22(a)와 다른점은, 기판 SUB1위의 패턴PAT'를 복수의 블록패턴PAT₁', PAT₂...', PAT₃...', PAT₄...'으로 나누고, 각 블록마다 1매의 포토마스크MSK₁, MSK₂...', MSK₃...', MSK₄...'를 사용하는 것이다.

도 23(b)는, 도 23(a)에 표시한 방법에서 사용하는 복수의 포토마스크MSK₁, MSK₂...', MSK₃...', MSK₄...'의 패턴의 예를 표시한 것이다.

도 9에 표시한 실시예를 근거로 설명하면, 도 23(b)는 반도체층AS의 포토마스크의 예를 표시하고 있다. 게이트신호선의 뿔머있는 방향은 x라고 하면, 포토마스크MSK₁, MSK₂...'는 입력단자쪽, 포토마스크MSK₃...', MSK₄...'는 증단쪽의 포토마스크를 표시하고 있다. 또, 도 23(b)에 표시한 a는 입력단자쪽의 반도체층AS의 패턴, b는 증단쪽의 반도체층AS의 패턴을 표시하고 있다. 도 23(b)의 1의 부분은 앞서 설명한 게이트·소스사이용량Cgs를 조절하기 위한 패턴이다.

그외에, 특별히 설명하지 않는 점은 앞서 설명한 도 22(a), 도 22(b)에 표시한 실시예와 동일하다.

도 23(a)에 표시한 실시예에 의하면, 하나의 액정표시장치의 1개의 층의 패턴PAT'를 복수의 포토마스크MSK₁, MSK₂...', MSK₃...', MSK₄...'에 의해 형성함으로써, 표시화면이 큰 액정표시장치를 제작할 수 있다.

그러나 도 23(a)에 표시한 실시예에서는, 입력단자쪽과 증단쪽에서, 전위저하성분 ΔV 를 조절하는 패턴I를, 다른 포토마스크에 의해 형성한 필요가 있음으로, 높은 정밀도로 전위저하성분 ΔV 를 조절하는 일이 곤란하다.

또, 도 23(a)에 표시한 실시예에서는, 기판SUB1의 각 블록패턴PAT₁', PAT₂...', PAT₃...', PAT₄...'사이의 경계

영역에서는, 복수회 중첩해서 노광되기 때문에, 패턴이 다른부분에 비해 가늘게 된다.

따라서, 복수회 노광하는 부분을 회피한 부분에, 전위저하성분 ΔV 를 조절하는 패턴I를 형성할 필요가 있다.

이에 대하여, 도 22(a)에 표시한 실시예는, 1매의 포토마스크MSK1에 의해 액정표시장치의 1개의 층의 전체패턴PAT'를 형성함으로써, 경계영역이 없고, 전위저하성분 ΔV 를 조절하는 패턴I를 형성하기 위한 제약이 적다.

그러나, 최대급의 표시영역을 가진 액정표시장치를 제조하는 경우에는, 전위저하성분 ΔV 를 조절하는 패턴I의 청밀도를 고려하지 않으면, 도 23(a)에 표시한 실시예의 쪽이 적합하다.

상기한 도 22(a), 도 22(b) 또는 도 23(a), 도 23(b)에 표시한 패턴의 형성방법은, 반도체층AS에, 전위저하성분 ΔV 를 조절하는 패턴I를 형성한 예를 표시하고 있으나, 이외의 층에 전위저하성분 ΔV 를 조절하는 패턴I를 형성해도 된다.

예를 들면, 도 10, 도 11에 표시한 실시예에 있어서는, 게이트신호선GL을 형성하는 공정(제 1포토)의 포토마스크에, 도 22(a), 도 22(b) 또는 도 23(a), 도 23(b)에 표시한 패턴의 형성방법을 사용해도 된다. 또 소스전극SD1을 형성하는 공정(제 4포토)에서 사용하는 포토마스크에, 도 22(a), 도 22(b) 또는 도 23(a), 도 23(b)에 표시한 패턴의 형성방법을 사용해도 된다.

게이트신호선GL을 양단부에서 구동하는 경우

도 24는, 주사신호선구동파형V6의 파형변형을 저감하기 위하여, 게이트신호선GL의 좌우양단부에 주사신호선구동회로부(104)를 형성한 예의, 액정표시장치의 등가회로이다. 도 24에 표시한 구성의 액정표시장치에서는, 게이트신호선GL의 종단부는 존재하지 않는다.

그러나 도 24에 표시한 구성의 액정표시장치에서도, 2개의 주사신호선구동회로부(104)로부터 먼 중앙부의 화소B의 주사신호V6의 파형변형은, 2개의 주사신호선구동회로부(104)에 가까운 쪽의 화소A, C의 주사신호V6의 파형변형보다도, 크다.

따라서 도 24에 표시한 양쪽구동의 액정표시장치에서도, 입력단자로부터 먼쪽의 화소B의 게이트·소스사이용량Cgs를, 입력단자에 가까운 쪽의 화소A, C의 게이트·소스사이용량Cgs보다도, 크게함으로써, 주사신호V6의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게할 수 있다.

구체적인 게이트·소스사이용량Cgs의 조절방법은, 도 9, 도 10, 도 11에 표시한 실시예와 같다.

또한, 도 24에 표시한 양쪽구동의 액정표시장치에서도, 화소전극의 전위저하성분 ΔV 의 차를 작게하는 방법은, 게이트·소스사이용량Cgs를 조절하는 것에 한하지 않고, 유지용량Cadd, 액정용량Cpix, 소스·드레인사이용량Cds1, 또는 화소전극드레인신호선사이용량Cds2를 조절하는 것이어도 된다.

또, 본 실시예에서는 게이트전극형성, 게이트절연막형성, 반도체층형성, 소스·드레인전극형성의 순서로 형성하는 역스태거구조의 박막트랜지스터TFT를 표시하였다.

그러나, 본 발명은 역스태거구조의 박막트랜지스터TFT를 사용한 액정표시장치에 한정되는 것은 아니며, 반도체층위에 게이트절연막을 개재해서 게이트전극을 형성하는 포지티브스태거구조의 박막트랜지스터TFT를 사용하는 액정표시장치에 본 발명을 적용해도 된다.

또, 본 발명은, 소위 세로전계방식의 액정표시장치를 일 실시예로서 설명한 것이다. 그러나, 한쪽의 투명기판의 액정층의 면에 서로 대향하는 1쌍의 전극을 형성하고, 이들 각 전극의 사이에 상기 투명기판과 평행으로 전계를 발생시키는 가로전계방식(In Plain Switching방식)의 경우에도 완전히 사정이 동일할므로, 이 가로전계방식의 액정표시장치에도 적용할 수 있다.

도 25는 본 발명을 적용한 가로전계방식의 액티브매트릭스방식컬러액정표시장치의 일화소와 그 주변을 표시한 평면도이다.

도 26은 도 25의 3-3절단선에 있어서의 단면을 표시한 도면이다. 도 25, 도 26에 표시한 바와 같이, 액정층LC를 기준으로해서 하부투명유리기판SUB1측에는 박막트랜지스터TFT, 축적용량Cstg, 화소전극PX 및 대향전극COM2가 형성되고, 상부투명유리기판SUB2측에는 컬러필터FIL, 차광용 블랙매트릭스패턴BMOI 형성되어 있다.

또, 투명유리기판SUB1, SUB2의 각각의 안쪽(액정LC측)의 표면에는, 액정의 초기배향을 제어하는 배향막ORI1, ORI2가 형성되어 있으며, 투명유리기판SUB1, SUB2의 각각의 바깥쪽 표면에는, 편광축이 직교해서 배치된 (크로스니를배치)편광판이 형성되어 있다.

도 25에 표시한 바와 같이, 각 화소는 게이트신호선(주사신호선 또는 수평신호선)GL과, 대향전압신호선(공통전극배선)COM1과, 인접하는 2개의 드레인신호선(영상신호선 또는 수직신호선)DL과의 교차영역내(4개의 신호선에 의해 둘러싸인 영역내)에 배치되어 있다. 각 화소는 박막트랜지스터TFT, 축적용량Cstg, 화소전극PX 및 대향전극COM2를 포함한다. 게이트신호선GL, 대향전압신호선COM1은 도면에서는 좌우방향으로 뻗어있고, 상하방향으로 복수개 배치되어 있다. 드레인신호선DL은 상하방향으로 뻗어있고, 좌우방향으로 복수개 배치되어 있다. 화소전극PX는 박막트랜지스터TFT와 접속되고, 대향전극COM2는 대향전압신호선COM1과 일체로 되어 있다.

드레인신호선DL을 따라서 상하로 인접하는 2화소에서는, 도 25의 A선에서 점어 구부렸을 때, 평면구성이 맞포개지는 구성으로 되어 있다. 이것은 대향전압신호선COM1을 드레인신호선DL을 따라서 상하로 인접하는 2화소에 의해 공통화하고, 대향전압신호선COM1의 전극폭을 확대함으로써, 대향전압신호선COM1의 저항을 저감하기 위해서이다. 이에 의해, 외부회로로부터 좌우방향의 각화소의 대향전극COM2에 대향전압

을 충분히 공급하는 일이 용이하게 된다.

화소전극PX와 대향전극COM2는 서로 대향하고, 각 화소전극PX와 대향전극COM2와의 사이의 전계에 의해 액정LC의 광학적 상태를 제어하여, 표시를 제어한다. 화소전극COM2는 빗살형상으로 구성되며, 각각, 도면의 상하방향으로 가늘고 긴 전극으로 되어 있다.

게이트신호선GL은 종단쪽의 화소의 게이트전극GT에 충분히 주사전압이 인가하는 만큼의 저항치를 만족하도록 전극폭을 설정한다. 또, 대향전압신호선COM1도 종단쪽의 화소의 대향전극COM2에 충분히 대향전압이 인가되는 만큼의 저항치를 만족하도록 전극폭을 설정한다.

도 25에 있어서, 부호1로 표시한 부분이, 화소전극의 전위저하성분 ΔV 를 조절하는 부분이다. 부호1로 표시한 부분은 화소전극Px와 일체로 형성되어 있으며, 게이트신호선GL과 절연막IL를 개재해서 중첩시킴으로써, 게이트-소스사이용량Cgs를 구성하고 있다.

따라서 도 25에 표시한 실시예에서는, 게이트-소스사이용량조절패턴1와 게이트신호선GL이 중첩되는 부분의 면적을, 입력단자에 가까운쪽의 화소에서 작게하고, 입력단자로부터 먼쪽의 화소에서 크게함으로써, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

가로전계방식의 액정표시장치는 시각(視角)특성이 넓은 특징이 있다. 따라서 표시영역이 큰 액정표시장치에, 가로전계방식을 채용함으로써, 시각특성이 좁기 때문에 화면의 일부가 보이지 않게 된다고 하는 종래의 문제를 해결할 수 있다.

따라서 가로전계방식의 액정표시장치에 본 발명을 적용함으로써, 게이트신호선GL이 길게된 것으로 말미암은 구동파형의 변형의 영향을 적게할 수 있음으로, 최대급의 표시영역을 가진 액정표시장치를 실현할 수 있다.

가로전계방식의 액정표시장치에 있어서도, 화소전극의 전위저하성분 ΔV 를 조절하는 방법은 게이트-소스사이용량Cgs를 조절하는 방법에 한하지 않고, 유지용량Cadd, 액정용량Cpix, 소스-드레인사이용량Cds1 또는 화소전극드레인신호선사이용량Cds2를 조절하는 것이어도 된다.

다음에, 게이트-소스사이용량Cgs를 조절하는 다른 실시예를 도 27(a) 및 도 27(b)에 표시한다.

도 27(a) 및 도 27(b)는 도 3에 표시한 화소의 평면도의, 박막트랜지스터TFT부근의 부분을 표시한 도면이다. 도 27(a) 및 도 27(b)에 기재가 없는 부분의 구성은 도 3에 표시한 화소의 구성과 동일하다.

도 27(a)는 입력단자쪽의 화소의 박막트랜지스터TFT, 도 27(b)는 입력단자로부터 먼쪽의 박막트랜지스터TFT의 구성을 표시한다.

본 실시예에서는 박막트랜지스터TFT의 채널길이 l_e 의 방향을 게이트신호선GL이 뻗어있는 방향과 수직으로 배치되어 있다.

본 실시예에서는, 반도체층AS에 형성한 조절패턴11과, 소스전극SD1에 형성한 조절패턴12의 2개의 부분에서, 게이트-소스사이용량Cgs를 조절하여, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다. 따라서 본 실시예에서는, 좁은 영역에 조절패턴11 및 조절패턴12를 형성할 수 있음으로, 화소의 개구율을 향상시킬 수 있다.

또 도 27(a) 및 도 27(b)에 표시한 바와 같이, 본 실시예에서는 소스전극SD1에 형성한 조절패턴(12)을, 박막트랜지스터TFT의 채널길이 l_e 및 채널폭 w 를 규정하는 부분으로부터 멀어지게해서 형성하고 있음으로, 소스전극SD1에 조절패턴12를 형성한 일로 인해, 박막트랜지스터TFT의 구동능력이 변화하는 일도 없다.

도 28(a) 및 도 28(b)는 게이트-소스사이용량Cgs를 조절하는 다른 실시예를 표시한다.

도 28(a) 및 도 28(b)도 도 3에 표시한 화소의 평면도의, 박막트랜지스터TFT부근의 부분을 표시한 도면이다. 도 28(a) 및 도 28(b)에 기재가 없는 부분의 구성은 도 3에 표시한 화소의 구성과 동일하다.

도 28(a)는 입력단자쪽의 화소의 박막트랜지스터TFT, 도 28(b)는 입력단자로부터 먼쪽의 박막트랜지스터TFT의 구성을 표시한다.

본 실시예에서는 박막트랜지스터TFT의 게이트전극GT를 게이트신호선GL로부터 분기해서 형성하고 있다.

본 실시예에서는, 박막트랜지스터TFT의 게이트전극GT의, 소스전극SD1과 중첩되는 부분에, 노치패턴13를 형성해서 게이트-소스사이용량Cgs를 조절하여, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다. 따라서 본 실시예에서는, 차광성금속막으로 이루어진 게이트전극GT에 돌기를 형성하는 경우와 달리, 개구율을 희생시키는 일이 없다.

도 28(a) 및 도 28(b)에 표시한 게이트전극GT에 형성한 노치패턴13에 의해, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게하기 위해서는, 입력단자에 가까운 화소일수록 노치패턴13의 노치량을 많게하면 된다.

또 도 28(a) 및 도 28(b)에 표시한 본 실시예에서도, 게이트전극GT에 형성한 조절패턴13을, 박막트랜지스터TFT의 채널길이 l_e 및 채널폭 w 를 규정하는 부분으로부터 멀어지게해서 형성하고 있음으로, 게이트전극GT에 조절패턴13를 형성한 일로 인해 박막트랜지스터TFT의 구동능력이 변화되는 일은 없다.

다음에, 화소의 개구율을 높게한 액정표시장치에, 주사신호의 파형변형에 의한 화소전극의 전위저하성분

△V의 차를 작게하는 대책을 실시한 실시예를 설명한다.

화소영역의 구성

도 29(a)는, 본 실시예의 도 2의 점선테두리A에 대응하는 화소영역의 구체적인 구성을 표시한 평면도이다.

또한, 도 29(a)의 IV-IV선에 있어서의 단면도를 도 30에, V-V선에 있어서의 단면도를 도 31에, VI-V선에 있어서의 단면도를 도 32에 표시하고 있다.

액정표시패널은 도 30에 표시한 바와 같이, 액정LC를 기준으로 제 1의 투명기판SUB1쪽에는 박막트랜지스터TFT 및 화소전극ITO1이 형성되고, 제 2의 투명기판SUB2쪽에는 컬러필터FIL, 블랙매트릭스패턴(제 1의 차광막)BM1이 형성되어 있다.

도 30에 있어서, POL1은 제 1기판에 형성되는 제 1편광판, POL2는 제 2기판에 형성되는 제 2편광판이다.

먼저, 유리등으로 이루어진 제 1의 투명기판SUB1의 액정측에, 그 x방향으로 뻗어있고 y방향으로 병설되는 게이트신호선GL이 형성되어 있다.

이 게이트신호선GL은, 크롬, 몰리브덴, 크롬과 몰리브덴의 합금, 알루미늄, 탄탈 또는 티탄등으로 이루어진 도전층GL에 의해 구성되어 있다. 또 게이트신호선GL의 배선저항을 저하시키기 위하여, 상기한 도전막의 적층막을 사용해서 게이트신호선GL을 구성해도 된다. 또 게이트신호선GL에 알루미늄을 사용하는 경우는, 힐락(hill-lock)이나 위스커(whisker)등의 돌기를 없애기 위하여, 탄탈, 티탄 또는 니오븀 등의 금속을 소량 첨가한 합금을 사용해도 된다.

그리고, 이 게이트신호선GL과 후술하는 드레인신호선DL에 의해 둘러싸이는 화소영역의 대부분에는, 투명 도전막(예를 들면 Indium-Tin-Oxide)으로 이루어진 화소전극ITO1이 형성되어 있다.

화소영역의 도면 좌측아래쪽의 게이트신호선GL위의 일부는 박막트랜지스터 TFT의 형성영역으로 되어 있다. 박막트랜지스터TFT는, 예를 들면 SiN로 이루어지는 게이트절연막GI, i형 비정질Si로 이루어진 반도체층AS, 불순물을 함유한 비정질Si로 이루어진 반도체층d0, 드레인전극SD2 및 소스전극SD1이 순차적층되어서 형성되어 있다.

그리고, 드레인전극SD2 및 소스전극SD1은 드레인신호선DL과 동시에 형성되도록 되어 있다.

드레인신호선DL은, 도 31에 표시한 바와 같이 절연막GI, 반도체층AS 및 불순물을 함유한 비정질Si로 이루어진 반도체층d0위에 형성되고, 크롬, 몰리브덴, 크롬과 몰리브덴의 합금, 알루미늄, 탄탈 또는 티탄 등의 도전막의 단층 또는 적층체에 의해서 형성되어 있다. 드레인신호선DL의 형성영역에 반도체층AS 및 불순물을 함유한 반도체층d0를 형성하고 있는 것은, 예를 들면 드레인신호선DL이 반도체층AS 및 불순물을 함유한 반도체층d0의 단차에 의한 단선을 방지하기 위해서이다.

박막트랜지스터TFT의 드레인전극SD2는 드레인신호선DL과 일체로 형성되고, 또 소스전극SD1은 드레인전극SD2와 소정의 채널길이L의 분만큼 이간되어서 형성되어 있다.

소스전극SD1 및 드레인전극SD2의 위에는 절연막으로 이루어진 보호막PSV1이 형성되어 있다. 보호막PSV1은, 액정의 박막트랜지스터TFT에 의해서 직접 접촉에 의한 특성열악화를 회피하도록 되어 있다. 보호막PSV1은 절화실리콘막 또는 폴리이미드등의 유기수지막과 같이 내습성이 좋은 막으로 이루어진다.

보호막PSV1의 위에 화소전극ITO1이 형성되어 있다.

소스전극SD1위의 보호막PSV1에는, 소스전극SD1과 화소전극ITO1을 전기적으로 접속하기 위한 관통구멍CONT가 형성되어 있다.

또, 유지용량소자Cadd는, 도 32에 표시한 바와 같이, 게이트신호선(박막트랜지스터TFT를 구동하는 게이트신호선과 인접하는 다른 게이트신호선)GL을 한쪽의 전극, 화소전극ITO1과 동시에 형성되는 도전층을 다른쪽의 전극으로하고, 그들 사이에 개재되는 절연막GI, 보호막PSV1을 유전체막으로서 구성되어 있다.

절연막GI, 보호막PSV1은, 박막트랜지스터TFT에 있어서의 그들의 형성과 동시에 형성되도록 되어 있으며, 또, 다른쪽의 전극인 도전층은 상기 화소전극ITO1과 동일하게 형성되어 있다.

또, 화소전극ITO1의 표면의 전체영역에는 액정의 배향을 규제하기 위한 배향막OR11이 형성되어 있다.

본 실시예에서는, 화소전극ITO1과 게이트신호선GL 및 드레인신호선DL의 사이에는 절연막인 보호막PSV1이 존재함으로써, 화소전극ITO1과 게이트신호선GL 또는 화소전극ITO1과 드레인신호선DL이 평면적으로 중첩되었다해도 단락하는 일이 없다. 따라서 본 실시예에서는 화소전극ITO1을 크게형성할 수 있음으로, 화소의 개구가 크게되는, 액정용량Cpix가 증대됨으로 유지용량Cadd를 작게할 수 있는 일을 할 수 있는 등의 특징을 가진다.

유리등으로 이루어진 제 2의 투명기판SUB2의 안쪽(액정LC측)의 면에는, 제 1차광막BM1, 컬러필터FIL, 공통투명전극COM 및 상부배향막OR12가 순차 적층해서 형성되어 있다.

제 1차광막BM1은, 크롬, 알루미늄등의 차광성금속막이나, 아크릴등의 수지막에 염료, 안료 또는 카본 등을 첨가한 차광성의 유기막으로 이루어진다.

공통투명전극COM은 ITO(Indium-Tin-Oxide)등의 투명도전막으로 이루어진다.

컬러필터FIL은 마크릴등의 유기수지막으로 이루어진 기재(基材)에, 염료 또는 안료를 첨가한 것으로부터 이루어진다.

또 컬러필터FIL의 염료나 안료가 액정LC를 오염시키는 것을 방지하기 위하여, 컬러필터FIL과 공통투명전

극COM의 사이에, 아크릴 등의 유기수지막으로 이루어진 컬러필터보호막을 형성해도 된다.

제 2차광막BM2

본 실시예에서는, 도 29(a), 도 31에 표시한 바와 같이, 드레인신호선DL이 형성되는 제 1의 투명기판SUB1위에, 차광성의 금속막으로 이루어진, 제 2차광막BM2가 형성되어 있다. 제 2차광막BM2는 게이트신호선GL을 구성하는 도전막GI와 동일한 재료이고, 게이트신호선GL과 동일층에 형성된다.

이 제 2차광막BM2는 평면구조위는 도 29(a)에 표시한 바와 같이 드레인신호선DL을 따라서 화소전극IT01과 오버랩하고, 또한, 드레인신호선DL과는 중첩하지 않도록 형성되어 있다. 한편, 단면구조적으로는 도 31에 표시한 바와 같이, 제 2차광막BM2는 드레인신호선DL과 게이트절연막GI에 의해서 절연분리되어 있다. 이 때문에, 제 2차광막BM2와 드레인신호선DL이 단락하는 가능성은 작다. 또, 화소전극IT01과 제 2차광막BM2는 게이트절연막GI 및 보호막PSY에 의해 절연분리되어 있다.

제 2차광막BM2는, 1화소의 화소에 대한 화소전극의 투과부의 면적, 즉 개구율을 향상시켜, 표시패널의 밝기를 향상시키는 기능을 가진다. 도 28에 표시한 표시패널에 있어서, 백라이트BL은 제 1의 투명기판SUB1의 한쪽면에 설정된다. 백라이트BL은 제 2의 투명기판은 SUB2쪽에 설정해도 좋으나, 이하에서는, 편의상 백라이트가 제 1의 투명기판SUB1측으로부터 조사되고, 제 2의 투명기판SUB2측으로부터 관찰하는 경우를 예로 표시한다. 조사광은 제 1의 투명기판SUB1을 투과하고, 제 1의 투명기판SUB1위의 차광성의 막(게이트신호선GL, 드레인신호선DL 및 제 2차광막BM2)이 형성되어 있지 않는 부분으로부터 액정LC에 들어간다. 이 광은 제 2의 투명기판SUB2에 형성된 공통전극COM과 제 1의 투명기판SUB1에 형성된 화소전극IT01사이에 인가된 전압에 의해 제어된다.

표시패널이, 화소전극IT01에 전압을 가하면 광의 투과율이 저하하는, 노멀화이트모드에서는, 본 실시예와 같이 제 2차광막BM2가 형성되어 있지 않는 경우, 제 2의 투명기판SUB2에 형성한 제 1차광막BM1에 의해 화소전극IT01의 주위를 넓게 덮을 필요가 있으며, 그렇지 않으면, 드레인신호선DL 또는 게이트신호선GL과 화소전극IT01의 틈새로부터 전압에 의해 제어할 수 없는 광이 누설되며, 표시의 콘트라스트가 저하한다. 또, 제 2의 투명기판SUB2와 제 1의 투명기판SUB1은 액정을 사이에 두고 맞닿쳐져 있으며, 맞닿쳐진 것을 크게 헐할 필요가 있어, 제 1의 투명기판SUB1에 제 2차광막BM2를 형성하는 본 실시예에 비해서 개구율이 작아진다.

또, 본 실시예에서는, 제 2차광막BM2에는, 게이트신호선GL과 동일 차광성의 금속막GI를 사용했으나, 광을 차단할 수 있는 것이라면 되며, 아크릴 등의 수지막에 염료, 안료 또는 카본 등을 함유시켜서 차광막으로한, 절연성의 차광막이어도 된다.

화소전극의 전위저하성분 ΔV 를 균일하게 하는 방법

도 29(a)는 입력단자쪽의 화소의 평면구조, 도 29(b)는 입력단자로부터 먼쪽(예를 들면 중단쪽)의 화소의 평면구조의 일부를 표시한다.

본 실시예도 박막트랜지스터 TFT의 채널길이 L 의 방향을 게이트신호선GL이 뻗어있는 방향과 수직으로 배치되어 있다.

본 실시예에서는, 화소전극IT01에, 화소전극IT01을 선택하는 게이트신호선GL과 중첩되는 부분 1을 형성해서, 게이트·소스사이용량 C_{gs} 를 조절하여, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

도 29(a)에 표시한 화소전극IT01에 형성한 조절패턴14에 의해, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게하기 위해서는, 입력단자로부터 먼 화소일수록 조절패턴14와 게이트신호선GL이 중첩하는 면적을, 입력단자에 가까운 쪽의 화소보다도 소정량만큼 크게 하면 된다.

본 실시예에서는, 게이트·소스사이용량 C_{gs} 를 화소마다 조절하기 위해, 화소전극IT01을, 이 화소전극IT01을 선택하는 게이트신호선GL과 중첩되는 부분까지 뻗어있게 해서 형성하고 있음으로, 차광성의 금속으로 이루어진 게이트신호선GL이 화소전극의 가장자리를 덮는 제 1차광막BM1과 동일 기능을 다 한다. 따라서 화소전극IT01과 게이트신호선GL과의 중첩되는 부분1을 덮는 제 1차광막BM1을, 화살표시로 표시한 게이트신호선GL의 방향으로, 후퇴시킬 수 있어, 화소의 개구를 확대할 수 있다.

또 본 실시예에서는, 화소전극IT01과 인접하는 화소의 게이트신호선GL과의 중첩되는 부분에 형성되는 유전용량 C_{add} 의 부분도, 인접하는 화소의 게이트신호선GL이 차광성의 금속으로 이루어짐으로 제 1차광막BM1과 동일기능을 다한다. 따라서 제 1차광막BM1을 게이트신호선GL이 노출되는 위치까지 후퇴시킬 수 있어, 화소의 개구가 향상된다.

또 본 실시예에서는, 게이트·소스사이용량 C_{gs} 의 유전체에 보호막PSY와 절연막GI를 사용하고 있다. 보호막PSY와 절연막GI의 동일장소에 핀홀이 존재할 가능성은 극히 적음으로, 게이트·소스사이용량 C_{gs} 를 조절하는 부분14에서, 화소전극IT01과 게이트신호선GL이 단락하는 문제도 없다.

다음에, 게이트·소스사이용량 C_{gs} 를 조절하는 다른 실시예를 도 33(a) 및 도 33(b)에 표시한다.

도 33(a) 및 도 33(b)는 도 29(a)에 표시한 화소의 평면도의, 박막트랜지스터TFT부근의 부분을 표시한 도면이다. 도 33(a) 및 도 33(b)에 기재가 없는 부분의 구성은 도 29(a)에 표시한 화소의 구성과 동일하다.

도 33(a)는 입력단자쪽의 화소의 박막트랜지스터TFT, 도 33(b)는 입력단자로부터 먼쪽의 박막트랜지스터TFT의 구성을 표시한다.

본 실시예에서는 박막트랜지스터TFT의 채널의 길이 L 의 방향을 게이트신호선GL이 뻗어있는 방향과 수직으로 배치하고 있다.

본 실시예에서는, 소스전극SD1과 중첩되는 부분의, 게이트신호선GL에 형성한 조절패턴15에 의해, 게이트·소스사이용량Cgs를 조절하며, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

도 33(a) 및 도 33(b)에 표시한 게이트신호선GL에 형성한 조절패턴15에 의해, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게하기 위해서는, 입력단자로부터 면화소일수록 조절패턴15와 소스전극SD1의 중첩되는 면적을 많게하면 된다.

도 34(a) 및 도 34(b)는, 게이트·소스사이용량Cgs를 조절하는 다른 실시예를 표시한다.

도 34(a) 및 도 34(b)도 도 29(a)에 표시한 화소의 평면도의, 박막트랜지스터TFT부근의 부분을 표시한 도면이다. 도 34(a) 및 도 34(b)에 기재가 없는 부분의 구성은 도 29(a)에 표시한 화소의 구성과 동일하다.

도 34(a)는 입력단자쪽의 화소의 박막트랜지스터TFT, 도 34(b)는 입력단자로부터 먼쪽의 박막트랜지스터TFT의 구성을 표시한다.

본 실시예에서는, 박막트랜지스터TFT의 채널의 길이 l 의 방향을 게이트신호선GL이 뻗어있는 방향과 수직으로 배치하고 있다.

본 실시예에서는, 게이트신호선GL에, 화소전극IT01과 중첩되는, 조절패턴16을 형성해서, 게이트·소스사이용량Cgs를 조절하며, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

도 34(a) 및 도 34(b)에 표시한 게이트신호선GL에 형성한 조절패턴16에 의해, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게하기 위해서는, 입력단자로부터 먼 화소일수록 조절패턴16과 화소전극IT01이 중첩하는 면적을, 입력단자에 가까운 쪽의 화소보다도 많게 하면 된다.

도 35(a) 및 도 35(b)는, 게이트·소스사이용량Cgs를 조절하는 다른 실시예를 표시한다.

도 35(a) 및 도 35(b)도 도 29(a)에 표시한 화소의 평면도의, 박막트랜지스터TFT부근의 부분을 표시한 도면이다. 도 35(a) 및 도 35(b)에 기재가 없는 부분의 구성은 도 29(a)에 표시한 화소의 구성과 동일하다.

도 35(a)는 입력단자쪽의 화소의 박막트랜지스터TFT, 도 35(b)는 입력단자로부터 먼쪽의 박막트랜지스터TFT의 구성을 표시한다.

본 실시예에서는 박막트랜지스터TFT의 게이트전극GT를 게이트신호선GL로부터 분기해서 형성하고 있다.

본 실시예에서는, 박막트랜지스터TFT의 소스전극SD1의 게이트전극GT와 중첩되는 2개소의 부분에 조절패턴17 및 17'을 형성해서 게이트·소스사이용량Cgs를 조절하며, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

도 35(a) 및 도 35(b)에 표시한 소스전극SD1에 형성한 조절패턴17 및 17'에 의해, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게 하기 위해서는, 입력단자로부터 면화소일수록 조절패턴17과 17'의 합계(total)면적을 많게하면 된다.

또, 도 35(a) 및 도 35(b)에 표시한 본 실시예에서는, 반도체층AS의 쪽을 소스전극SD1의 쪽보다도 작게 해서, 반도체층AS의 쪽에 의해 박막트랜지스터TFT의 채널폭을 규정하고 있다. 그리고, 게이트·소스사이용량Cgs를 조절하는 패턴17 및 17'는 반도체층AS와 중첩되지 않는 부분에 형성하고 있음으로, 소스전극SD1에 조절패턴17, 17'를 형성하는 것으로 인해, 박막트랜지스터TFT의 구동능력이 변화되는 일은 없다.

도 35(a), 도 35(b)에 표시한 실시예에서는, 게이트전극GT에 의해 반도체층AS를 차광하고, 박막트랜지스터TFT의 오동작을 방지하기 위하여, 반도체층AS를, 평면적으로, 게이트전극GT가 존재하는 영역내에만 형성하고 있다. 따라서 반도체층AS를 게이트전극GT에 의해 완전히 차광할 경우는, 소스전극SD1과 게이트전극GT사이에는 반도체층AS가 없는 부분이 있어, 게이트·소스사이용량Cgs가 커지는 단점을 가진다. 그러나, 본 실시예에서는, 게이트·소스사이용량Cgs를 조절해서, 화소전극의 전위저하성분 ΔV 의 차를 적게하고 있음으로, 반도체층AS를 게이트전극GT에 의해 완전히 차광한 일로 인한 게이트·소스사이용량Cgs이 커지는 결점을 적게할 수 있다.

도 36(a) 및 도 36(b)는, 유지용량Cadd를 조절하는 다른 실시예를 표시한다.

도 36(a) 및 도 36(b)는, 본 실시예의 화소의 평면구조를 표시한 도면이다.

도 36(a) 및 도 36(b)도 도 29(a)에 표시한 화소구조의 액정표시장치와 동일구조를 하고 있다. 따라서 본 실시예에서 특별히 기재하지 않는 부분의 구성은 도 29(a)에 표시한 화소의 구성과 동일하다.

도 36(a)는 입력단자쪽의 화소, 도 36(b)는 입력단자로부터 먼쪽의 화소의 구성을 표시한다.

본 실시예에서는, 화소전극IT01과 인접하는 화소의 게이트신호선GL이 중첩되는 부분의 면적을 바꾸어서, 유지용량Cadd를 조절하며, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

도 36(a) 및 도 36(b)에 표시한 유지용량Cadd를 조절하고, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게하기 위해서는, 입력단자에 가까운쪽의 화소보다도, 입력단자로부터 면화소의 게이트신호선GL과 화소전극IT01의 중첩되는 면적을, d로 표시한 소정의 양만큼 감소해서, 유지용량Cadd를 작게하면 된다.

도 37(a) 및 도 37(b)는, 액정용량Cpix를 조절하는 다른 실시예를 표시한다.

도 37(a) 및 도 37(b)는, 본 실시예의 화소의 평면구조를 표시한 도면이다.

도 37(a) 및 도 37(b)도 도 29(a)에 표시한 화소구조의 액정표시장치와 동일구조를 하고 있다. 따라서 본 실시예에서 특별히 기재하지 않는 부분의 구성은 도 29(a)에 표시한 화소의 구성과 동일하다.

도 37(a)는 입력단자쪽의 화소, 도 37(b)는 입력단자로부터 먼쪽의 화소의 구성을 표시한다.

본 실시예에서는, 화소전극IT01의 면적을 바꾸어서, 공통전극COM과의 중첩면적을 바꾸고, 액정용량Cpix를 조절하며, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

도 37(a) 및 도 37(b)에 표시한 화소전극IT01의 면적을 바꾸어서, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게하기 위해서는, 입력단자에 가까운 쪽의 화소보다도, 입력단자로부터 먼 화소전극의 면적을, d에 표시한 소정의 양만큼 감소시켜서, 액정용량Cpix를 작게하면 된다.

또한 본 실시예에서는, 도 37(a), 도 37(b)에 표시한 바와 같이 화소전극IT01의 면적을 바꾸어도, 제 1 차광막BM1의 개구면적은 입력단자에 가까운 화소와 입력단자로부터 먼 화소에서 동일하게 하고 있다. 또 본 실시예에서는, 제 1차광막BM1에 의해 덮혀진 부분의 화소전극IT01의 형상을 바꿈으로써, 화소전극의 면적을 바꾸고, 액정용량Cpix를 조절하고 있음으로, 입력단자에 가까운 화소와 입력단자로부터 먼 화소에서 광이 통과하는 개구에 차가 없고, 휘도차를 발생하지 않는다.

도 38(a) 및 도 38(b)는, 제 2의 차광막BM2를 차광성의 금속막으로 형성하고, 제 2의 차광막BM2와 화소전극IT01이 중첩하는 면적을 조절하는 다른 실시예를 표시한다.

도 38(a) 및 도 38(b)는, 본 실시예의 화소의 평면구조를 표시한 도면이다.

도 38(a) 및 도 38(b)도 도 29(a)에 표시한 화소구조의 액정표시장치와 동일 구조를 하고 있다. 따라서 본 실시예에서 특별히 기재하지 않는 부분의 구성은 도 29(a)에 표시한 화소의 구성과 동일하다.

도 38(a)는 입력단자쪽의 화소, 도 38(b)는 입력단자로부터 먼쪽의 화소의 구성을 표시한다.

본 실시예에서는, 제 2의 차광막BM2와 인접하는 화소의 게이트신호선GL을 전기적으로 접속하고, 제 2의 차광막BM2와 화소전극IT01이 중첩하는 면적을 바꾸어서, 화소전극의 전위저하성분 ΔV 의 화소사이의 차를 적게하고 있다.

본 실시예에서는, 제 2의 차광막BM2는 인접하는 화소의 게이트신호선GL과 전기적으로 접속해있음으로, 제 2의 차광막BM2와 화소전극IT01이 중첩하는 부분은 유지용량Cadd와 동일한 작용을 한다.

도 38(a) 및 도 38(b)에 표시한 제 2의 차광막BM2와 화소전극IT01이 중첩하는 면적을 바꾸어서, 주사신호의 파형변형에 의한 화소전극의 전위저하성분 ΔV 의 차를 작게하기 위해서는, 입력단자에 가까운쪽의 화소의 제 2의 차광막BM2와 화소전극IT01이 중첩하는 면적을, 입력단자로부터 먼쪽의 화소보다도, d로 표시한 소정량 만큼 증가시켜서, 유지용량Cadd를 크게하면 된다.

또 본 실시예에서는, 화소전극IT01의 면적을 바꾸지 않고 유지용량전극(BM2)의 면적을 조절하고 있음으로, 유지용량Cadd를 바꾸어도, 액정용량Cpix가 바뀌어지는 일이 없다.

또한, 제 2의 차광막BM2와 화소전극IT01의 중첩면적을 바꾸면, 화소의 개구가 바뀌지는 문제가 있으나, 도 38(a) 및 도 38(b)에 표시한 바와 같이, 제 2의 투영기판SUB2에 형성된 제 1의 차광막BM1에 의해 덮혀진 영역내에서 제 2의 차광막BM2와 화소전극IT01이 중첩되는 면적을 바꿈으로써, 화소의 개구가 바뀌는 문제를 해결할 수 있다.

또, 본 실시예에서는 제 2의 차광막BM2를 게이트신호선GL에 전기적으로 접속하는 예를 표시하였으나, 제 2의 차광막BM2를 전기적으로 뜬 상태에서, 화소전극IT01과의 중첩되는 면적을 바꾸어도 화소전극의 전위저하성분 ΔV 의 차를 작게하는 것은 가능하다. 제 2의 차광막BM2를 전기적으로 뜬 상태로 했을 경우는, 화소전극IT01과의 중첩면적을 바꾸었을 경우는, 소스·드레인사이용량Cds1이나 화소전극과 드레인신호선사이용량Cds2를 바꿀수 있다. 이 경우, 입력단자에 가까운쪽의 화소일수록 제 2의 차광막BM2와 화소전극IT01과의 중첩되는 면적을 증대시키면 된다.

그러나 소스·드레인사이용량Cds1 및 화소전극드레인신호선사이용량Cds2를 증가시키는 것은, 화소사이의 크로스토크의 문제가 있기 때문에, 도 38(a), 도 38(b)에 표시한 바와 같이 제 2의 차광막BM2를 게이트신호선GL에 접속하는 쪽이 바람직하다.

발명의 효과

이상 설명한 것으로부터 명백한 바와 같이, 본 발명에 의한 액정표시장치에 의하면, 플리커의 발생을 억제할 수 있게 된다.

(57) 청구의 범위

청구항 1. 제 1절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 출력하는 구동회로와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,
상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,
상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 구동회로회로로부터 제 2의 부분에 전기적으로 접속되고,

상기 제 2화소전극과 상기 게이트신호선사이의 정전용량을, 상기 제 1화소전극과 상기 게이트신호선사이의 정전용량보다도 크게한 것을 특징으로 하는 액정표시장치.

청구항 2. 제 1항에 있어서, 상기 제 1의 부분에서부터 제 2의 부분까지의 길이는 27cm이상인 것을 특징으로 하는 액정표시장치.

청구항 3. 제 1항에 있어서, 상기 액정표시장치는, 상기 제 1절연기판과 중첩해서 형성되는 투명한 제 2절연기판과,

상기 제 2절연기판의 상기 제 1 및 제 2화소전극과 대향하는 위치에 형성되고, 투명한 공통전극과,

상기 공통전극과 상기 제 1 및 제 2화소전극의 사이에 형성되는 액정을 가진 것을 특징으로 하는 액정표시장치.

청구항 4. 절연기판위에 형성한 게이트전극과, 상기 게이트전극위에 형성한 절연막과, 상기 절연막위에 형성한 반도체층과, 상기 반도체층위에 형성한 소스전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극에 전기적으로 접속하는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극에 전기적으로 접속하는 제 2화소전극과,

상기 제 1박막트랜지스터의 드레인전극에 전기적으로 접속하는 제 1영상신호선과,

상기 제 2박막트랜지스터의 드레인전극에 전기적으로 접속하는 제 2영상신호선과,

상기 절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 입력하기 위한 단자를 가지고,

상기 제 1박막트랜지스터의 게이트전극은, 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 단자로부터 제 2의 부분에 전기적으로 접속되고,

상기 제 1 및 제 2박막트랜지스터의 소스전극은, 상기 반도체층위에서 상기 드레인전극에 거리를 두고서 대향해서 형성되고,

상기 제 1 및 제 2박막트랜지스터의 반도체층에, 상기 게이트전극과 중첩되는 과잉형성부분을, 상기 소스전극과 드레인전극이 대향하는 부분을 제외한 상기 소스전극 근방에 형성하고,

상기 제 2박막트랜지스터의 반도체층의 과잉형성부분의 면적을, 상기 제 1박막트랜지스터의 반도체층의 과잉형성부분의 면적보다도 크게한 것을 특징으로 하는 액정표시장치.

청구항 5. 절연기판위에 형성한 게이트전극과, 상기 게이트전극위에 형성한 절연막과, 상기 절연막위에 형성한 반도체층과, 상기 반도체층위에 형성한 소스전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극에 전기적으로 접속하는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극에 전기적으로 접속하는 제 2화소전극과,

상기 제 1박막트랜지스터의 드레인전극에 전기적으로 접속하는 제 1영상신호선과,

상기 제 2박막트랜지스터의 드레인전극에 전기적으로 접속하는 제 2영상신호선과,

상기 절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 입력하기 위한 단자를 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 단자로부터 제 2의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 소스전극의 상기 게이트신호선과 중첩되는 부분의 면적을, 상기 제 1박막트랜지스터의 소스전극의 상기 게이트신호선과 중첩되는 부분의 면적보다도 크게한 것을 특징으로 하는 액정표시장치.

청구항 6. 제 5항에 있어서, 상기 반도체층을, 평면적으로, 상기 게이트전극이 형성되는 영역내에 형

성한 것을 특징으로 하는 액정표시장치.

형구항 7. 절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 출력하는 구동회로와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 구동회로로부터 먼 제 2의 부분에 전기적으로 접속되고,

상기 제 1 및 상기 제 2화소전극은, 상기 게이트신호선과 절연막을 개재해서 일부 중첩되고,

상기 제 2화소전극과 상기 게이트신호선이 중첩되는 부분의 면적을, 상기 제 1화소전극과 상기 게이트신호선이 중첩되는 부분의 면적보다도 크게한 것을 특징으로 하는 액정표시장치.

형구항 8. 절연기판에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 입력하기 위한 단자와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 단자로부터 먼 제 2의 부분에 전기적으로 접속되고,

상기 제 2화소전극과 상기 게이트신호선사이의 정전용량을, 상기 제 1화소전극과 상기 게이트신호선사이의 정전용량보다도 크게하고,

상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에서 채널 길이만큼 떨어지고, 채널폭만큼 대향해서 형성되고,

상기 제 1 및 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽의 전극이 상기 화소전극과 접속되는 부분에 있어서 상기 게이트전극과 중첩되는 부분에서부터 중첩되지 않게 되는 부분사이의 폭을 상기 제 1 및 제 2박막트랜지스터의 채널폭보다도 작게 형성한 것을 특징으로 하는 액정표시장치.

형구항 9. 절연기판위에 형성한 제 1게이트신호선과,

상기 절연기판위에 상기 제 1게이트신호선에 인접해서 형성한 용량선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 입력하기 위한 단자와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분보다도 상기 단자로부터 먼 제 2의 부분에 전기적으로 접속되고,

상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에서 채널 길이만큼 떨어지고, 채널폭만큼 대향해서 형성되고,

상기 제 2박막트랜지스터의 채널길이 및 채널폭은 상기 제 1박막트랜지스터의 채널길이 및 채널폭과 실질적으로 동일하고,

상기 제 1 및 제 2화소전극은 상기 용량선과 절연막을 개재해서 일부 중첩되고,

상기 제 2화소전극과 상기 용량선이 중첩되는 면적을, 상기 제 1화소전극과 상기 용량선이 중첩되는 면적보다도 작게한 것을 특징으로 하는 액정표시장치.

형구항 10. 절연기판위에 형성한 제 1게이트신호선과,

상기 절연기판위에 상기 제 1게이트신호선에 인접해서 형성한 제 2게이트신호선과,

상기 제 1게이트신호선에 전기적으로 접속되어 게이트구동전압을 출력하는 구동회로와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은 상기 제 1게이트신호선의 제 1의 부분보다도 상기 구동회로회로부터 제 2의 부분에 전기적으로 접속되고,

상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에서 채널 길이만큼 떨어지고, 채널폭만큼 대향해서 형성되고,

상기 제 2박막트랜지스터의 채널길이 및 채널폭은 상기 제 1박막트랜지스터의 채널길이 및 채널폭과 실질적으로 동일하고,

상기 제 1 및 제 2화소전극은 상기 제 2게이트신호선과 절연막을 개재해서 일부 중첩되고,

상기 제 2화소전극과 상기 제 2게이트신호선이 중첩되는 면적을, 상기 제 1화소전극과 상기 제 2게이트신호선이 중첩되는 면적보다도 작게한 것을 특징으로 하는 액정표시장치.

형구항 11. 절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 게이트구동전압을 출력하는 구동회로와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선을 가지고,

상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,

상기 제 2박막트랜지스터의 게이트전극은, 상기 게이트신호선의 제 1의 부분보다도 상기 구동회로회로부터 제 2의 부분에 전기적으로 접속되고,

상기 제 2화소전극과 상기 제 2영상신호선사이의 정전용량을, 상기 제 1화소전극과 상기 제 1영상신호선사이의 정전용량보다도 크게한 것을 특징으로 하는 액정표시장치.

형구항 12. 제 1절연기판위에 형성한 게이트신호선과,

상기 게이트신호선에 전기적으로 접속되어 구동전압을 입력하기 위한 단자와,

소스전극, 게이트전극 및 드레인전극을 가진 제 1 및 제 2박막트랜지스터와,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 1화소전극과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 한쪽에 전기적으로 접속되는 제 2화소전극과,

상기 제 1박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 1영상신호선과,

상기 제 2박막트랜지스터의 소스전극 및 드레인전극의 다른쪽에 전기적으로 접속되는 제 2영상신호선과,

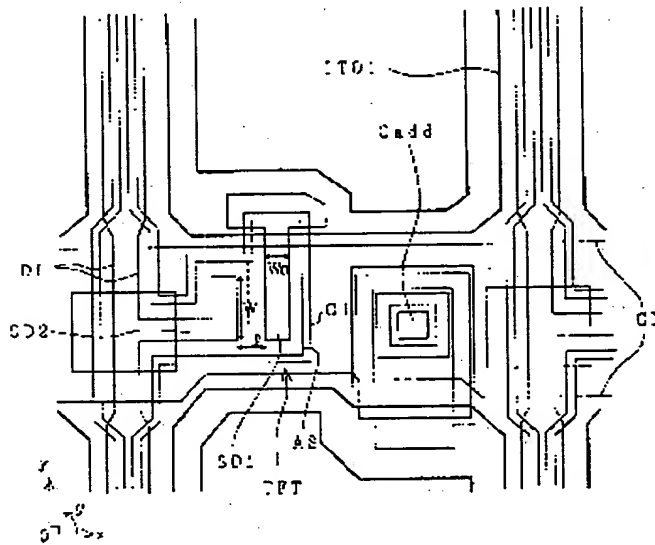
상기 제 1절연기판과 중첩해서 형성되는 투명한 제 2절연기판과,

상기 제 2절연기판의 상기 제 1 및 제 2화소전극과 대향하는 위치에 형성되고, 투명한 공통전극과,
 상기 공통전극과 상기 제 1 및 제 2화소전극사이에 형성되는 액정과,
 상기 제 2절연기판에 형성되고, 상기 제 1 및 제 2화소전극의 주위를 덮는 차광막을 가지고,
 상기 제 1박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분에 전기적으로 접속되고,
 상기 제 2박막트랜지스터의 게이트전극은 상기 게이트신호선의 제 1의 부분보다도 상기 단자로부터 제 2의 부분에 전기적으로 접속되고,
 상기 제 2화소전극의 상기 차광막에 의해 덮혀지는 부분의 면적을, 상기 제 1화소전극의 상기 차광막에 의해 덮혀지는 부분의 면적보다도 작게한 것을 특징으로 하는 액정표시장치.

청구항 13. 제 1항에 있어서, 상기 제 1 및 제 2박막트랜지스터의 소스전극은 상기 드레인전극에 대해서 상기 게이트전극위에서 채널길이만큼 떨어져지고, 채널폭만큼 대향해서 형성되고,
 상기 제 2박막트랜지스터의 채널길이 및 채널폭은 상기 제 1박막트랜지스터의 채널길이 및 채널폭과 실질적으로 동등한 것을 특징으로 하는 액정표시장치.

도면

도면1



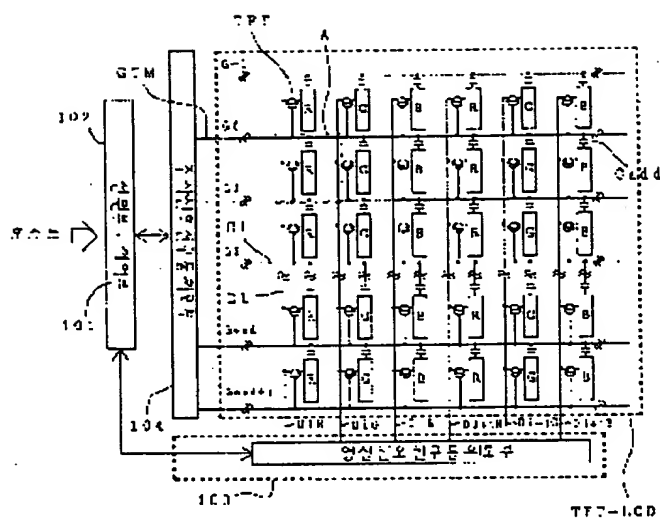


図 23

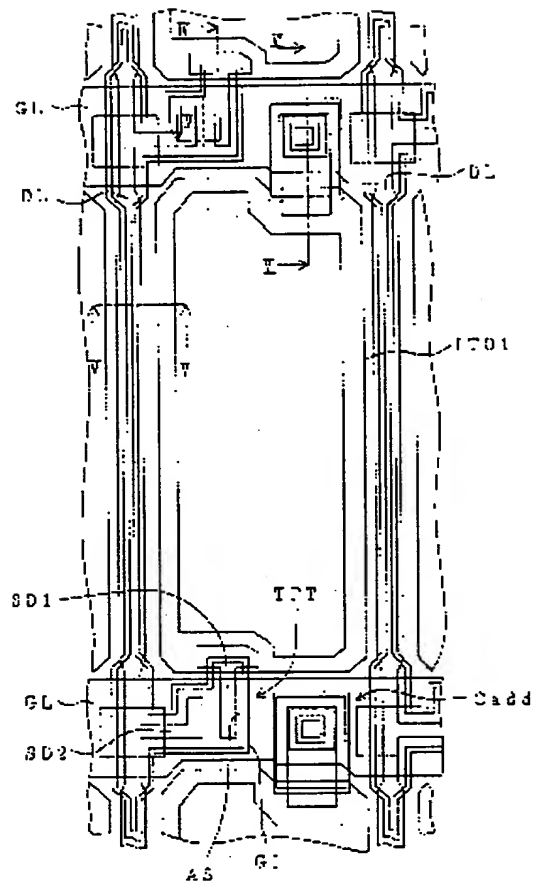


図 24

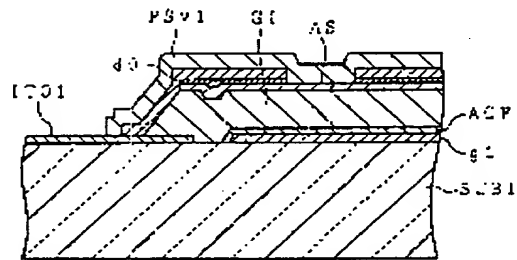


FIG 5

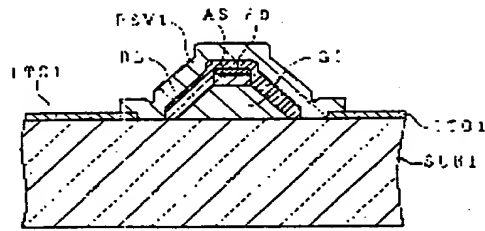
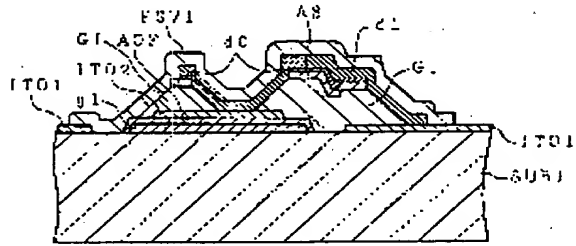
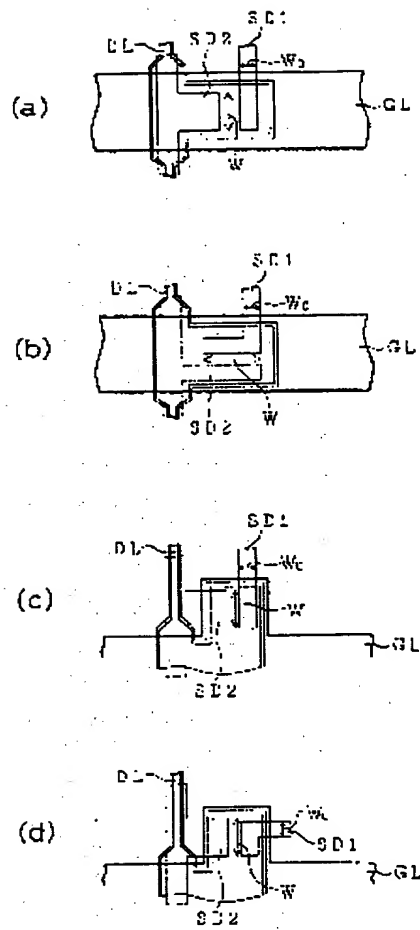
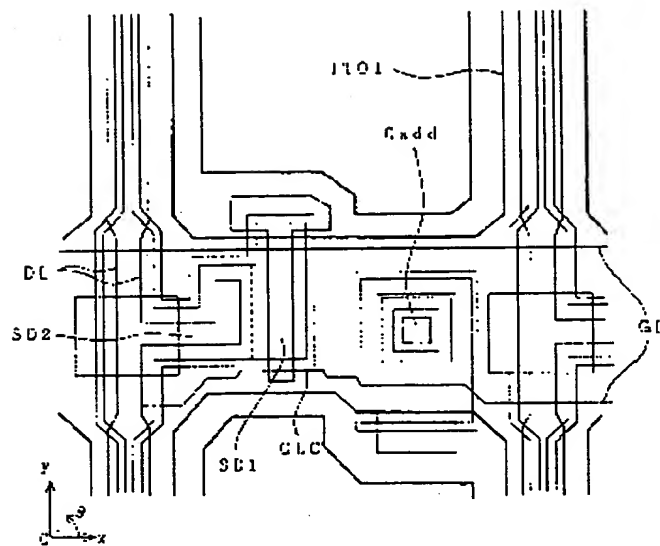
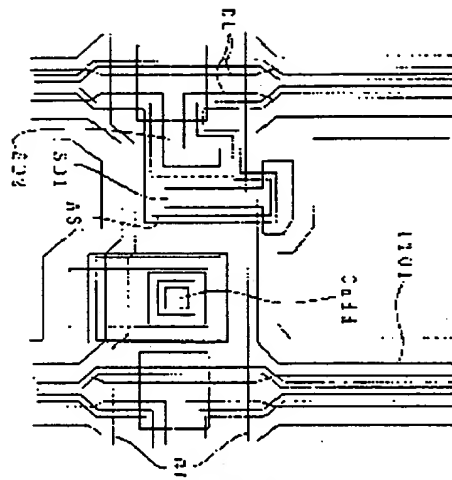


FIG 6

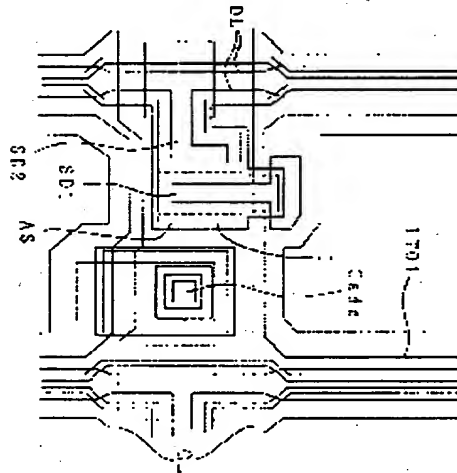




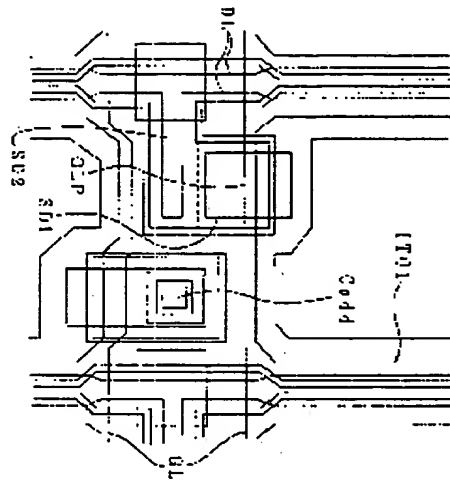




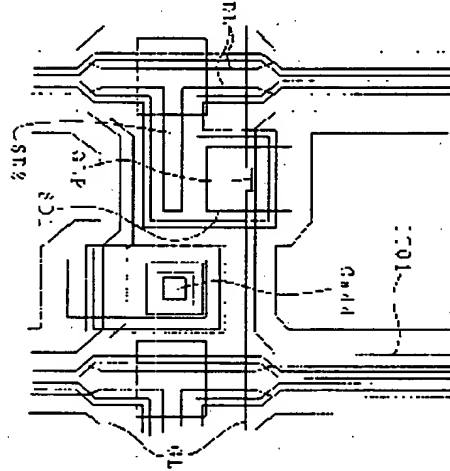
(a)



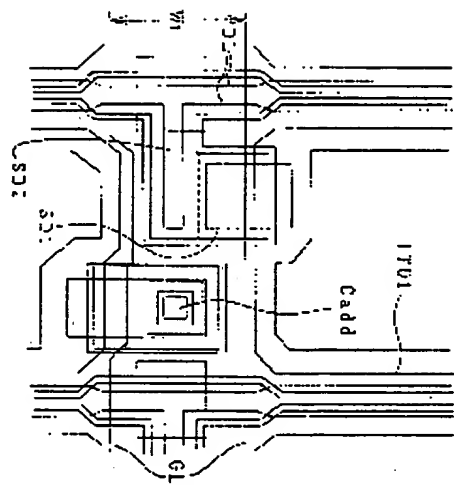
(b)



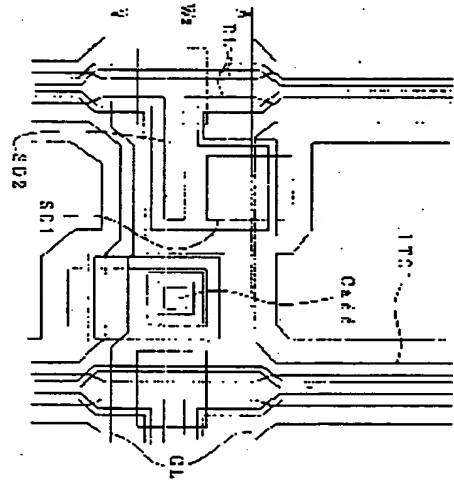
(a)



(b)



(a)



(b)

도면 12

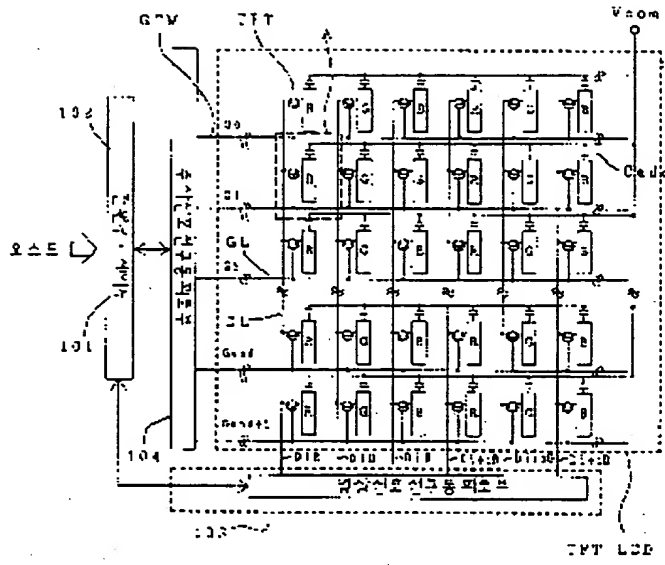


도표 13

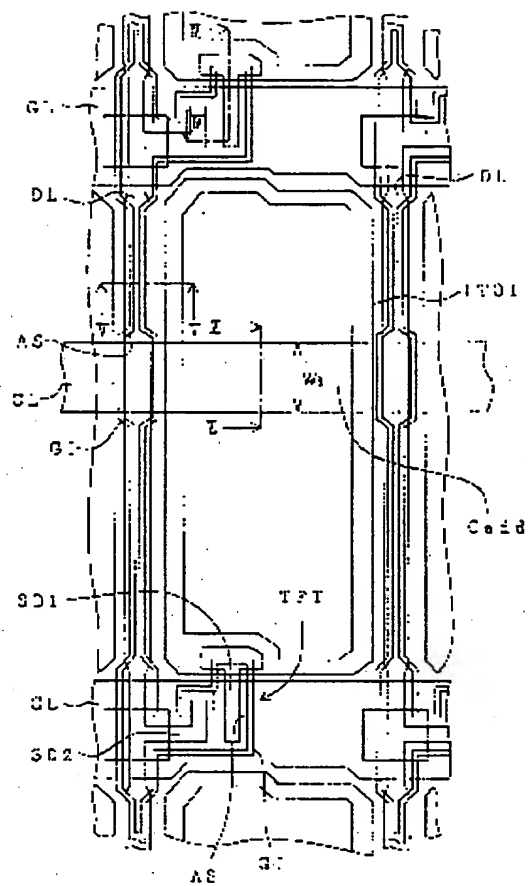
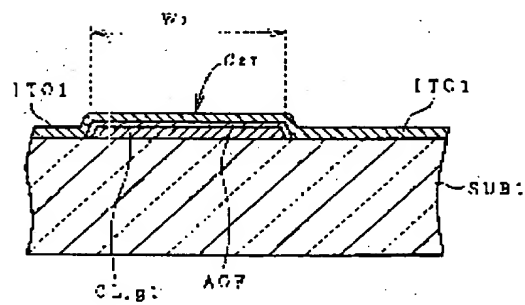
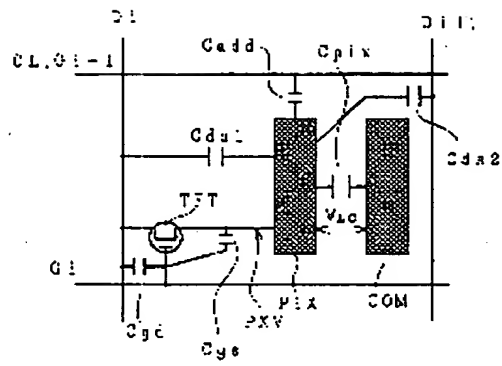


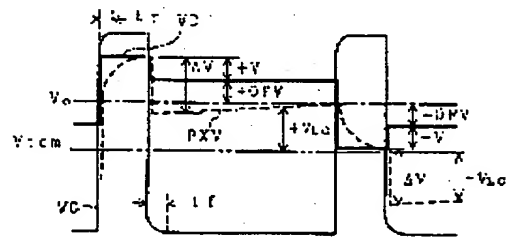
도표 14



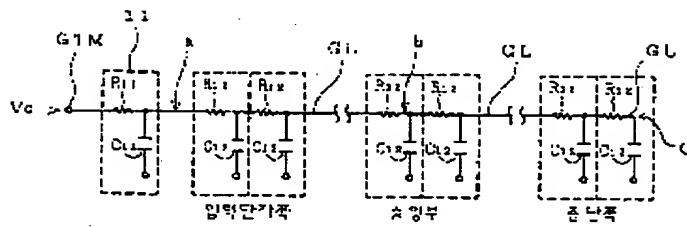
도면15

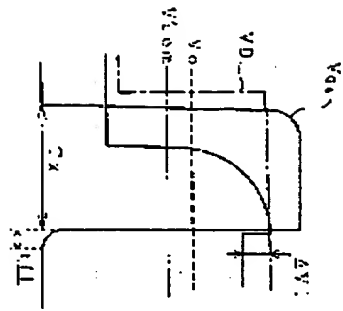


도면16

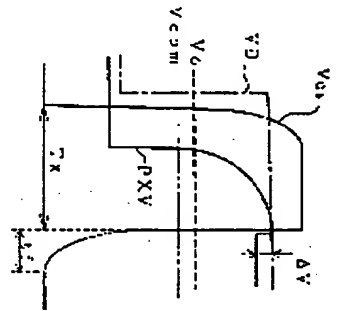


도면17

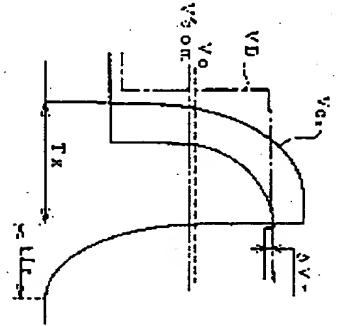




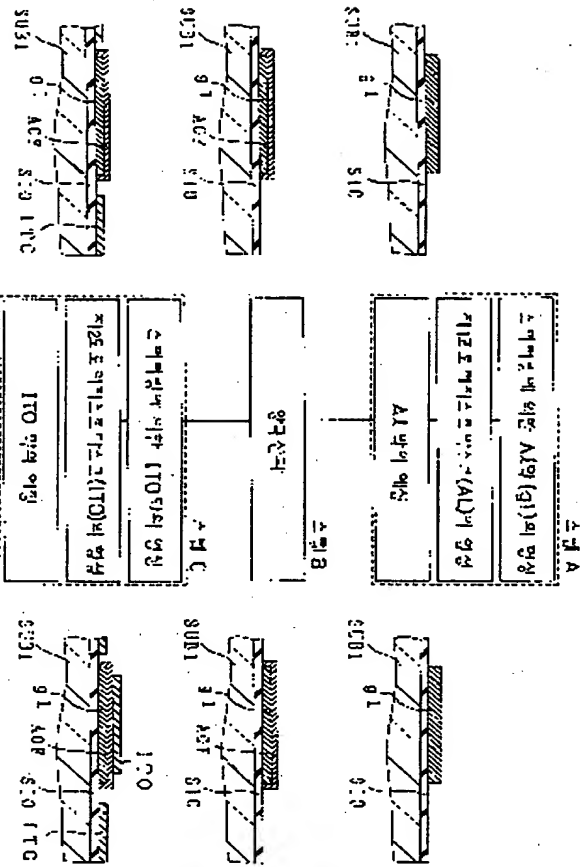
(a)

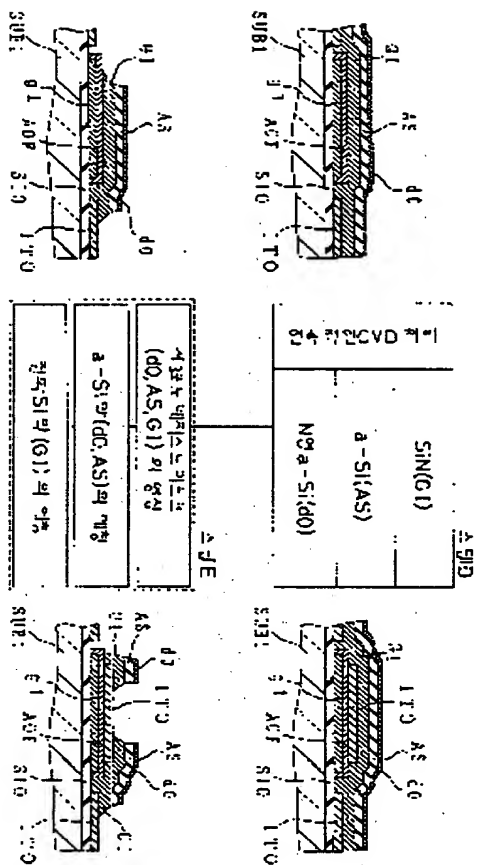


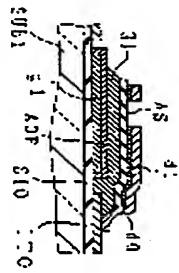
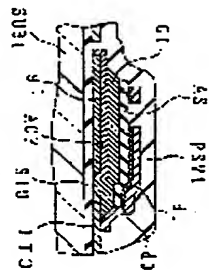
(b)



(c)

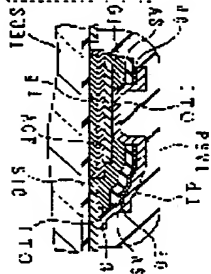






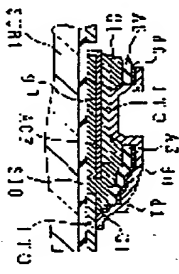
<p>PSVI (PSVI)의 형성</p>
<p>PSVI (PSVI)의 형성</p>
<p>PSVI (PSVI)의 형성</p>

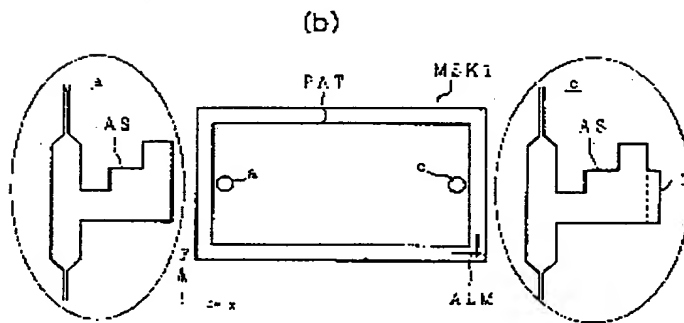
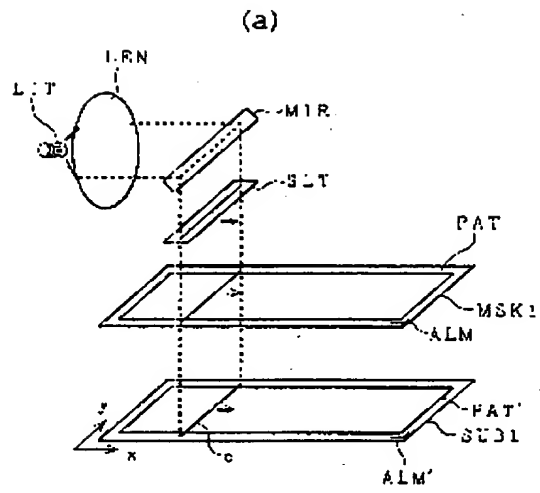
도면22



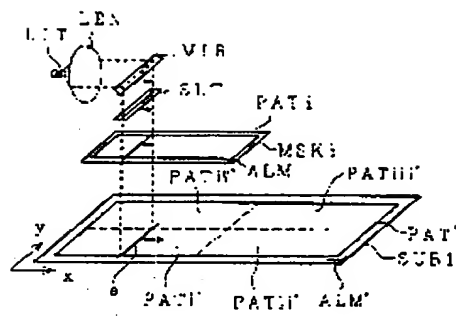
<p>PSVI (PSVI)의 형성</p>
<p>PSVI (PSVI)의 형성</p>
<p>PSVI (PSVI)의 형성</p>

도면23

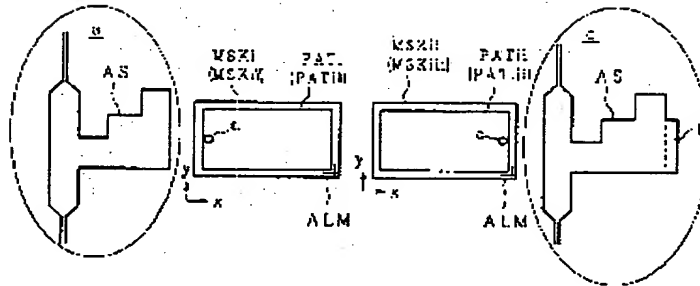


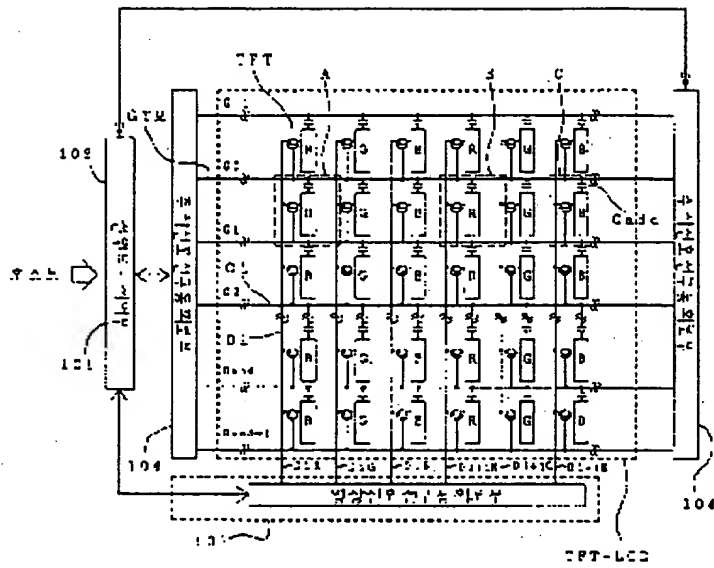


(a)

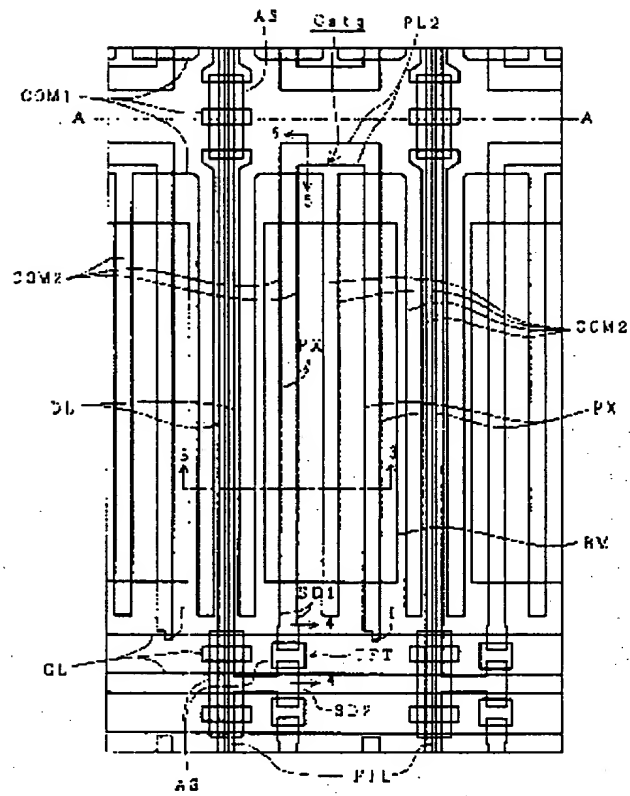


(b)





도 25



도 26

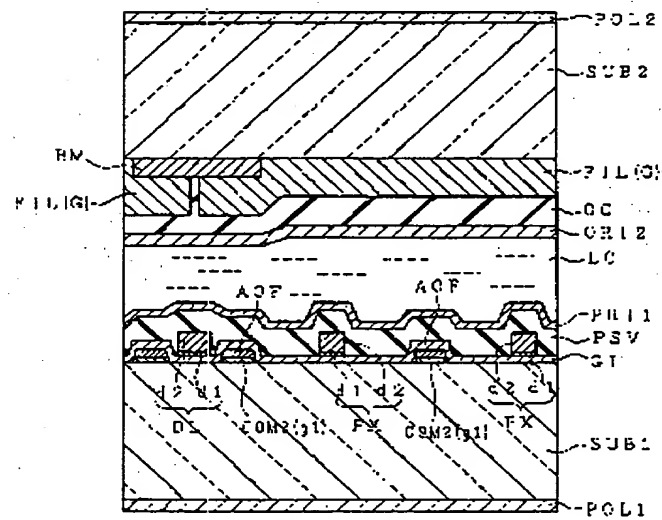


図 27

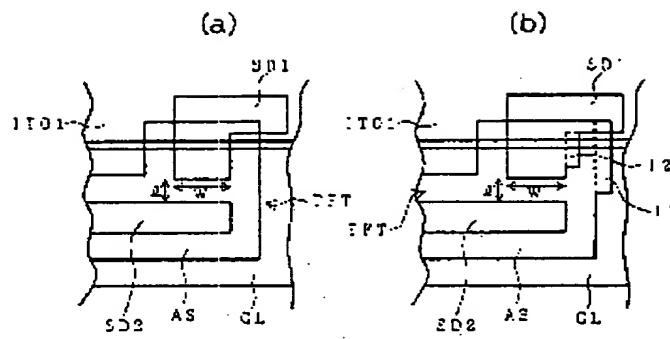
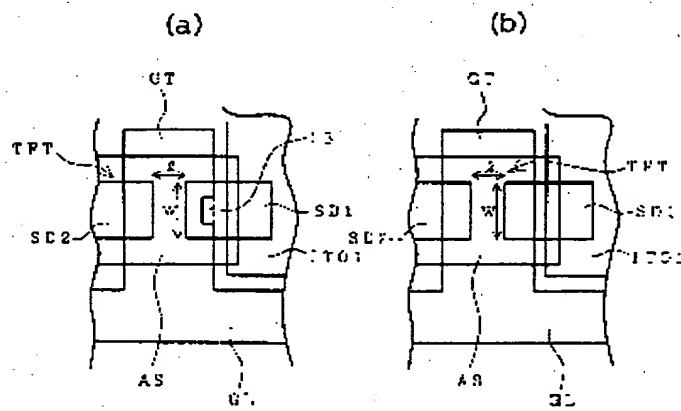
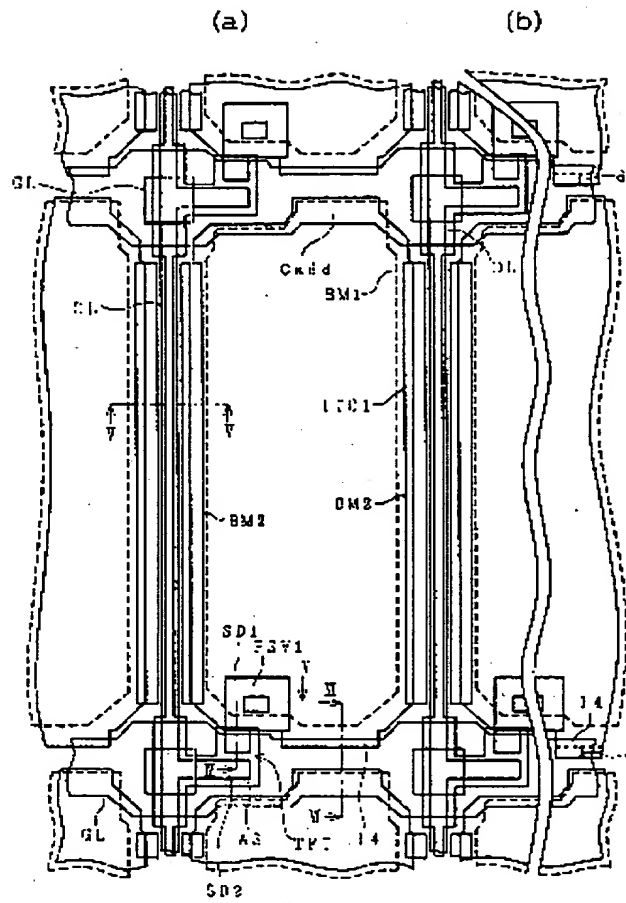


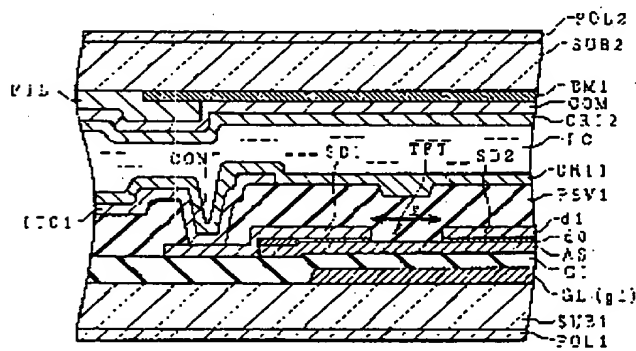
図 28



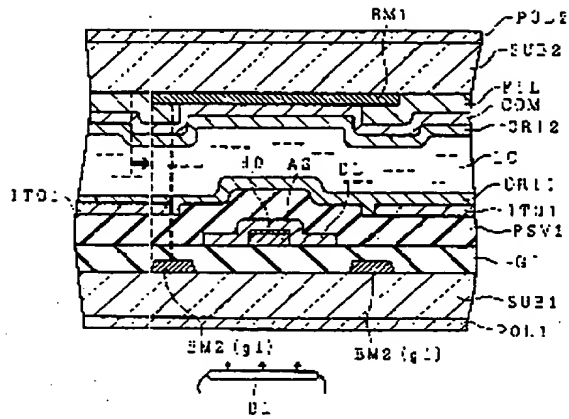
도 29



도 30



5231



도면32

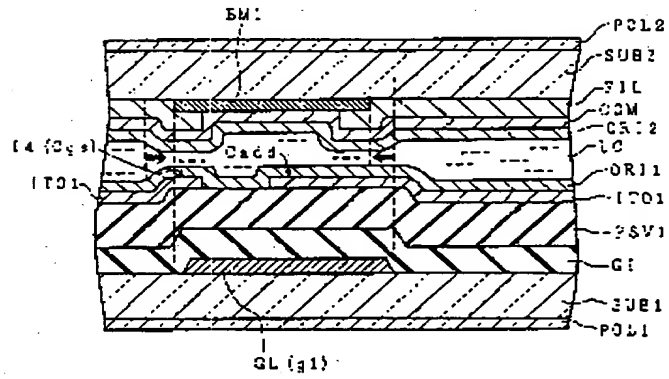
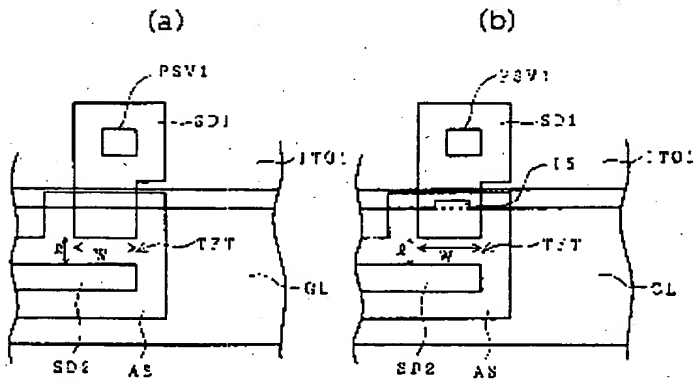


도표33



도면34

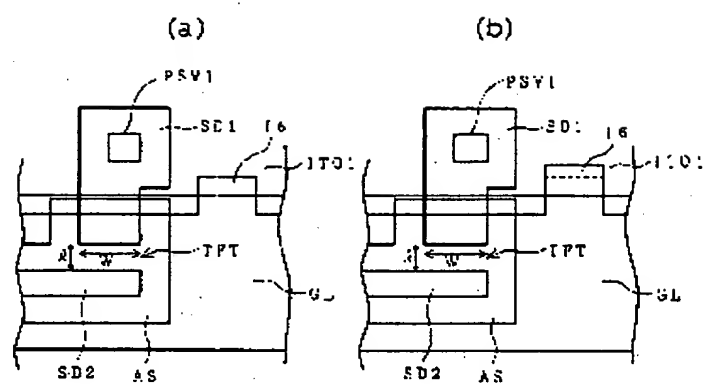


도표 35

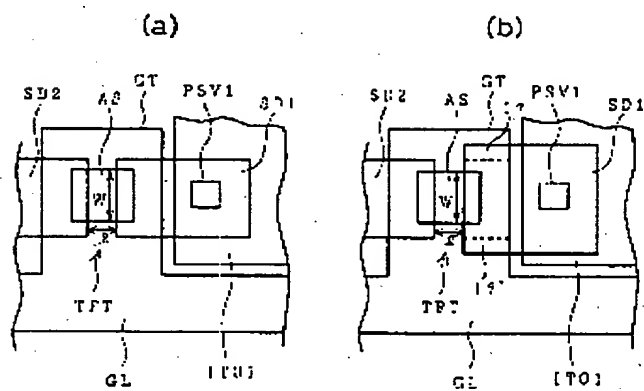


図 236

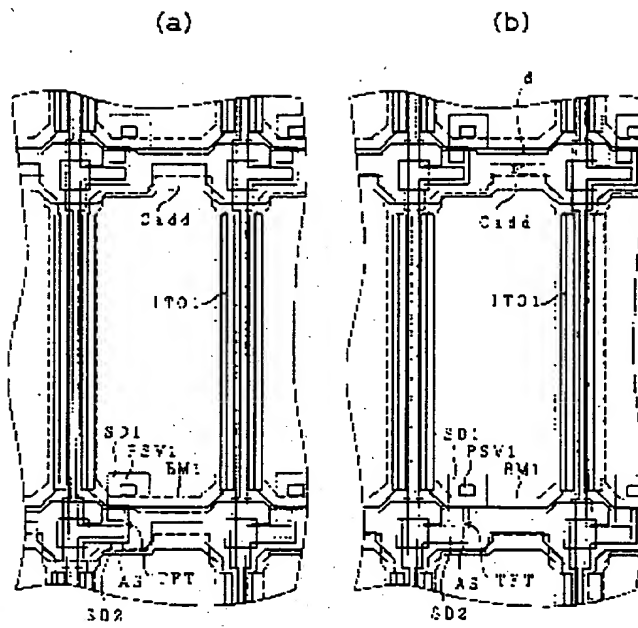
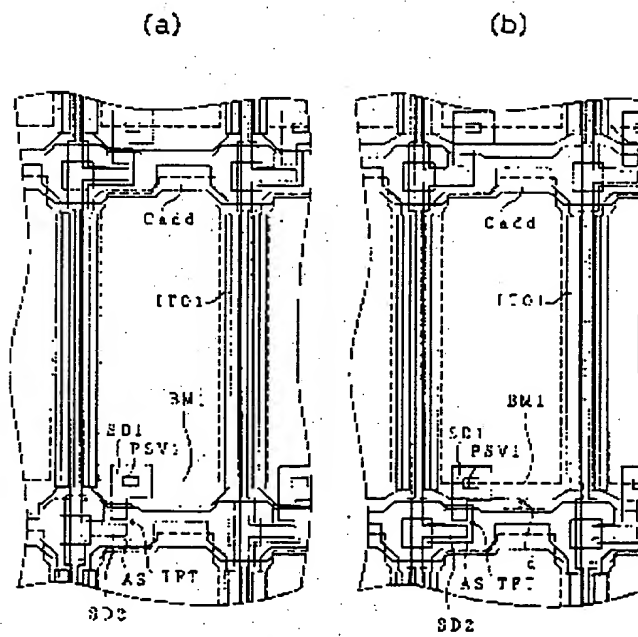
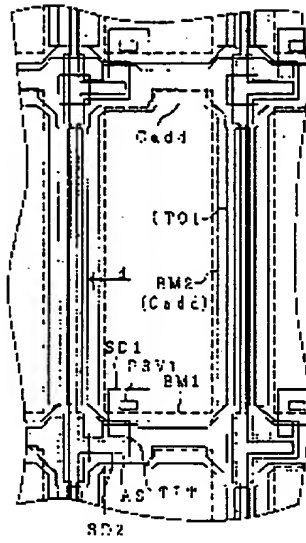


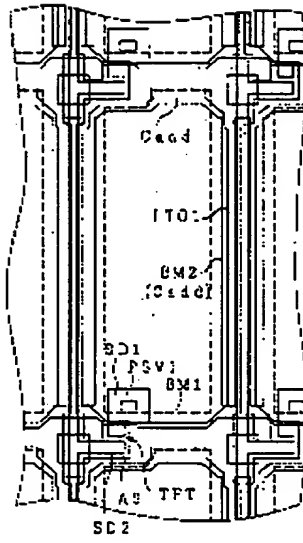
図 237



(a)



(b)



UNITED STATES PATENT AND TRADEMARK OFFICE
VERIFICATION OF A TRANSLATION

I, the below named translator, hereby declare that:

My name and post office address are as stated below;

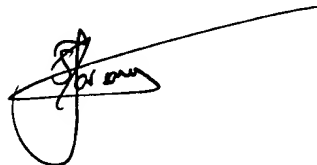
That I am knowledgeable in the English language and in the Japanese language, and that I believe the English translation of the marked portion of the attached Japanese document is true and complete.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Date: April 23, 2002

Full name of the translator: Sandra Jayne PARSONS

Signature of translator :

A handwritten signature in black ink, appearing to be 'S. Parsons', with a long horizontal line extending to the right.

For and on behalf of RWS Group plc

Post Office Address : Europa House, Marsham Way,
Gerrards Cross, Buckinghamshire,
England.

Claims 1, 4 and 5 of the subject application pertain to a liquid crystal display device characterized in that the capacity of the auxiliary capacitor reduces in accordance with the distance that it is away from the gate signal input part, but this configuration is similar to the configuration which makes the capacity smaller in a pixel of the terminal side where the drive waveform strain of the scan signal becomes large, shown in order to adjust the element for maintaining capacity disclosed in the detailed description of Korean unexamined patent application (kokai) 1999-13747 (2/25/1999). However, although there are differences in the configurations proper of the capacity elements since the abovementioned cited invention is for adjusting the capacity by adjusting the area of the part where the pixel electrode and the gate signal line overlap, the technical concept of adjusting the area of the overlapping parts is the same, and it is adjudged to be a simple design modification.

Accordingly, claims 1, 4 and 5 of the subject application could easily be devised by one possessing general knowledge of said field.

[Appendix]

Appendix 1 Korean unexamined patent application
(kokai) 1999-13747 1



(訳文)

意見提出通知書

2002年 2月 28日

審査4局 映像機器審査担当官室

審査官 高 宗郁

出願人 : 日本電気株式会社(出願人コード: 519980604474)
日本国東京都港区芝5丁目7番1号

代理人 : 特許法人KOREANA
ソウル江南区駅三洞824-19

出願番号 : 2000年特許出願第28439号

発明の名称: 均一なフィードスルー電圧成分を有する液晶表示装置

この出願に対する審査の結果、下記のと通りの拒絶理由があり、特許法第63条の規定によりこれを通知しますので、意見がある場合又は補正が必要な場合は、2002年4月30日までに意見書又は/及び補正書を提出して下さい(上記の期間は、毎回1月ずつ延長申請することができ、別途の期間延長承認の通知は致しません)。

[理由]

この出願の特許請求の範囲第1、4、5項に記載の発明は、その出願前に、その発明の属する技術の分野における通常の知識を有する者が、下記に指摘した発明に基づいて、容易に発明をすることができたものであるので、特許法第29条第2項の規定により特許を受けることができません。

[記]

本願の請求の範囲第1、4、5項は、ゲート信号入力部からの距離が離れるに従って補助キャパシタの容量が減少することを特徴とする液晶表示装置に関するものであるが、韓国公開特許公報第1999-13747号(1999.2.25)の詳細な説明に記載された保持容量素子を調節するために、走査信号の駆動波形歪みが大きくなる終端側の画素において、容量を小さくする構成が示されており、互いに類似する構成であります。ただ、上記引用発明は、画素電極とゲート信号

線の重なる部分の面積を調節して容量を調節しているため、容量素子の構成自体に相違点があるものの、重なる部分の面積を調節するという技術的思想が同一であるので、単なる設計変更であるものと判断されます。

従って、本願の請求の範囲第1、4、5項は、当該分野における通常の知識を有する者であれば、引用発明に基づいて容易に発明をすることができます。

[添付]

添付1 韓国公開特許公報第1999-13747号 1部

以上

3/18

출력 일자: 2002/3/4

발송번호 : 9-5-2002-006941301
발송일자 : 2002.02.28
제출기일 : 2002.04.30

수신 : 서울 강남구 역삼1동 824-19 동경빌딩
특허법인코리아나[박해선] 귀하
135-934

특허청 의견제출통지서

YooP-1317

意見提出通知書

출원인 명칭 닛뽕덴끼 가부시끼가이샤 (출원인코드: 519980604474)
주소 일본 도오쿄도 미나토꾸 시바 5초메 7방 1고

대리인 명칭 특허법인코리아나 외 1 명
주소 서울 강남구 역삼1동 824-19 동경빌딩
지정된변리사 박해선

출원번호 10-2000-0028439

발명의 명칭 균일한 피드스루 전압 성분을 갖는 액정 표시 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1, 4, 5항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원의 청구범위 제1, 4, 5항은 게이트 신호 입력부로부터의 거리가 멀어짐에 따라 보조 커패시터의 용량이 감소하는 것을 특징으로 하는 액정표시장치에 관한 것으로서 한국 공개특허공보 제1999-13747(1999.2.25)의 상세한 설명에 기재된 유지용량소자를 조절하기 위해 주사신호 구동파형의 변형이 커지는 종단쪽의 화소에서 용량을 작게하는 구성이 나타나 있어 서로 유사한 구성입니다. 단지, 상기 인용발명은 화소전극과 게이트신호선의 중첩부분의 면적을 조절하여 용량을 조절하고 있어 용량소자의 구성 자체에 차이가 있으나 중첩부분의 면적을 조절한다는 기술적 사상이 동일하므로 단순한 설계변경이라고 판단됩니다.

따라서, 본원의 청구범위 제1, 4, 5항은 당해 분야에서 통상의 지식을 가진 자라면, 상기 인용발명으로부터 용이하게 발명할 수 있습니다.

[참부]

참부1 한국 공개특허공보 제1999-13747호 1부. 끝.

2002.02.28

특허청

심사4국

영상기기 심사담당관실 심사관 고종욱



출력 일자: 2002/3/4

<< 안내 >>

문의사항이 있으시면 ☎ 042-481-5989 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr) 내 부조리신고센터